



(12) 发明专利

(10) 授权公告号 CN 113257666 B

(45) 授权公告日 2025. 11. 28

(21) 申请号 202110546334.9

(56) 对比文件

(22) 申请日 2021.05.19

US 2003146458 A1, 2003.08.07

(65) 同一申请的已公布的文献号

审查员 刘婧

申请公布号 CN 113257666 A

(43) 申请公布日 2021.08.13

(73) 专利权人 江苏中科汉韵半导体有限公司

地址 221000 江苏省徐州市徐州经济技术
开发区创业路26号A-2厂房1F-2F

(72) 发明人 黎力 袁述 苗青

(74) 专利代理机构 苏州国诚专利代理有限公司

32293

专利代理师 韩凤

(51) Int. Cl.

H01L 21/04 (2006.01)

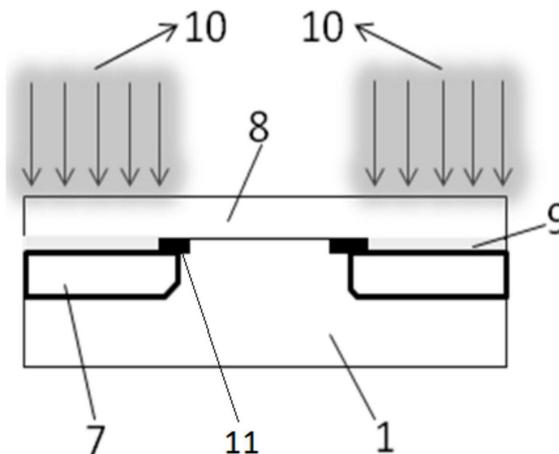
权利要求书1页 说明书5页 附图3页

(54) 发明名称

适用于碳化硅半导体器件的掺杂方法

(57) 摘要

本发明涉及一种适用于碳化硅半导体器件的掺杂方法。其在碳化硅晶片内制备有第二导电类型掺杂区以及第一导电类型掺杂区,其中,第二导电类型掺杂区包括采用离子注入形成的第二导电类型深掺杂区以及采用激光掺杂形成的第二导电类型表面掺杂区,第二导电类型深掺杂区在碳化硅晶片内的掺杂深度大于第二导电类型表面掺杂区在碳化硅晶片内的掺杂区深度以及第一导电类型掺杂区在碳化硅晶片内的掺杂深度,第二导电类型表面掺杂区位于第二导电类型深掺杂区的上方,且第二导电类型表面掺杂区与第二导电类型深掺杂区邻接。本发明能减少离子注入次数,避免表面浓度下降,有效实现掺杂后的箱型杂质分布,降低了工艺难度,提升了工艺精度。



1. 一种适用于碳化硅半导体器件的掺杂方法,提供具有第一导电类型的碳化硅晶片;其特征是:在所述碳化硅晶片内制备有第二导电类型掺杂区以及位于所述第二导电类型掺杂区内的第一导电类型掺杂区,其中,第二导电类型掺杂区包括采用离子注入形成的第二导电类型深掺杂区以及采用激光掺杂形成的第二导电类型表面掺杂区,第二导电类型深掺杂区在碳化硅晶片内的掺杂深度大于第二导电类型表面掺杂区在碳化硅晶片内的掺杂区深度以及第一导电类型掺杂区在碳化硅晶片内的掺杂深度,第二导电类型表面掺杂区位于第二导电类型深掺杂区的上方,且第二导电类型表面掺杂区与第二导电类型深掺杂区邻接;

在制备第二导电类型表面掺杂区时,在碳化硅晶片上设置第二导电类型掺杂膜层,对第二导电类型掺杂膜层进行激光照射后,以能在碳化硅晶片内得到第二导电类型激光掺杂区,并能利用所述第二导电类型激光掺杂区制备得到第二导电类型表面掺杂区;

在制备第二导电类型深掺杂区时,在碳化硅晶片上设置掩膜层,选择性地掩蔽和刻蚀所述掩膜层后,以能得到贯通所述掩膜层的离子注入窗口,利用所述掩膜层以及离子注入窗口,采用离子注入工艺后能在碳化硅晶片内制备得到第二导电类型深掺杂区;

所述第二导电类型深掺杂区在碳化硅晶片内的掺杂深度大于500nm;

第一导电类型掺杂区采用激光掺杂工艺制备得到;在制备第一导电类型掺杂区时的激光光斑大小与制备第二导电类型表面掺杂区时的激光光斑大小不同。

2. 根据权利要求1所述的适用于碳化硅半导体器件的掺杂方法,其特征是:在碳化硅晶片内制备第二导电类型掺杂区时,先采用激光掺杂工艺制备得到所需的第二导电类型表面掺杂区,再通过离子注入工艺制备得到第二导电类型深掺杂区;或者,先采用离子注入工艺制备得到第二导电类型深掺杂区,再通过激光掺杂工艺制备得到所需的第二导电类型表面掺杂区。

3. 根据权利要求1所述的适用于碳化硅半导体器件的掺杂方法,其特征是:激光掺杂工艺中,激光的波长为100nm~2000nm,功率密度0-100J/cm²。

4. 根据权利要求1所述的适用于碳化硅半导体器件的掺杂方法,其特征是:第一导电类型为N型时,第二导电类型掺杂膜层包括铝膜。

5. 根据权利要求1所述的适用于碳化硅半导体器件的掺杂方法,其特征是:制备第一导电类型掺杂区时,在碳化硅晶片上设置第一导电类型掺杂膜层,第一导电类型为N型时,第一导电类型掺杂膜层包括氮化硅膜层或磷硅玻璃膜层。

适用于碳化硅半导体器件的掺杂方法

技术领域

[0001] 本发明涉及一种掺杂方法,尤其是一种适用于碳化硅半导体器件的掺杂方法。

背景技术

[0002] 离子注入是所有SiC(碳化硅)器件的关键工艺。由于SiC中杂质极低的扩散常数,无法像硅晶片一样使用扩散工艺掺杂,且在注入的激活退火中,大部分注入后杂质的扩散小到可以忽略不计。因此,为实现离子注入的箱式分布,目前必须采用多段注入法实现。

[0003] 目前,N型区离子注入多用N、P离子注入,P型区离子注入多用Al离子注入。由于器件电极的引出需要重掺杂表面与金属的结合形成欧姆接触,离子注入后段(先高能后低能)会以低注入能量注入($\sim 25\text{eV}$),将表面掺杂浓度提高至 $1 \times 10^{19}\text{cm}^{-3}$ 以上。然而,由于注入工艺中,离子深度分布的最高峰无法做到SiC表面,在注入面上会有一定的浓度降低。

[0004] 另一方面,SiC MOSFET总导通电阻是由欧姆接触电阻、沟道电阻、JFET电阻、漂移区电阻、晶片体电阻等组成,而沟道电阻的大小是影响总导通电阻的关键因素之一。工艺中,影响沟道长度的主要因素是版图线宽和套刻精度。为了避免光刻带来的误差,在使用双注入方法时,多采用自对准工艺以实现器件性能的均一性,该工艺依靠硬掩膜的加工精度控制注入区域尺寸。由于硬掩膜的精确刻蚀工艺难度高,对于加工均一性的控制具有很大困难。

[0005] 在SiC掺杂的研究中,已有报告以激光掺杂的形式代替离子注入实现了掺杂工艺,即在表面形成了高浓度掺杂,并成功与电极金属形成了欧姆接触。然而,由于激光只能实现表面加热,且Al在4H-SiC中扩散常数极低,所以,激光掺杂深度仅约为200nm。在目前的SiC功率器件中,P型掺杂深度需大于500nm,因此,激光掺杂工艺难以满足SiC功率器件中的掺杂需求。

发明内容

[0006] 本发明的目的是克服现有技术中存在的不足,提供一种适用于碳化硅半导体器件的掺杂方法,其能减少离子注入次数,避免表面浓度下降,有效实现掺杂后的箱型杂质分布,降低了工艺难度,提升了工艺精度。

[0007] 按照本发明提供的技术方案,所述适用于碳化硅半导体器件的掺杂方法,提供具有第一导电类型的碳化硅晶片;在所述碳化硅晶片内制备有第二导电类型掺杂区以及位于所述第二导电类型掺杂区内的第一导电类型掺杂区,其中,第二导电类型掺杂区包括采用离子注入形成的第二导电类型深掺杂区以及采用激光掺杂形成的第二导电类型表面掺杂区,第二导电类型深掺杂区在碳化硅晶片内的掺杂深度大于第二导电类型表面掺杂区在碳化硅晶片内的掺杂区深度以及第一导电类型掺杂区在碳化硅晶片内的掺杂深度,第二导电类型表面掺杂区位于第二导电类型深掺杂区的上方,且第二导电类型表面掺杂区与第二导电类型深掺杂区邻接。

[0008] 在碳化硅晶片内制备第二导电类型掺杂区时,先采用激光掺杂工艺制备得到所需

的第二导电类型表面掺杂区,再通过离子注入工艺制备得到第二导电类型深掺杂区;或者,先采用离子注入工艺制备得到第二导电类型深掺杂区,再通过激光掺杂工艺制备得到所需的第二导电类型表面掺杂区。

[0009] 所述第二导电类型深掺杂区在碳化硅晶片内的掺杂深度大于500nm。

[0010] 第一导电类型掺杂区采用激光掺杂工艺制备得到;在制备第一导电类型掺杂区时的激光光斑大小与制备第二导电类型表面掺杂区时的激光光斑大小不同。

[0011] 在制备第二导电类型表面掺杂区时,在碳化硅晶片上设置第二导电类型掺杂膜层,对第二导电类型掺杂膜层进行激光照射后,以能在碳化硅晶片内得到第二导电类型激光掺杂区,并能利用所述第二导电类型激光掺杂区制备得到第二导电类型表面掺杂区;

[0012] 在制备第二导电类型深掺杂区时,在碳化硅晶片上设置掩膜层,选择性地掩蔽和刻蚀所述掩膜层后,以能得到贯通所述掩膜层的离子注入窗口,利用所述掩膜层以及离子注入窗口,采用离子注入工艺后能在碳化硅晶片内制备得到第二导电类型深掺杂区。

[0013] 激光掺杂工艺中,激光的波长为100nm~2000nm,功率密度0-100J/cm²。

[0014] 第一导电类型为N型时,第二导电类型掺杂膜层包括铝膜。

[0015] 制备第一导电类型掺杂区时,在碳化硅晶片上设置第一导电类型掺杂膜层,第一导电类型为N型时,第一导电类型掺杂膜层包括氮化硅膜层或磷硅玻璃膜层。

[0016] 第一导电类型与第二导电类型中,当第一导电类型为N型时,则第二导电类型为P型;当第一导电类型为P型时,则第二导电类型为N型。

[0017] 本发明的优点:对第一导电类型碳化硅晶片,通过激光掺杂工艺制备得到第一导电类型掺杂区,在制备第二导电类型掺杂区时,通过激光掺杂工艺能制备第二导电类型表面掺杂区,通过离子注入工艺能制备第二导电类型深掺杂区,满足在碳化硅晶片内制备得到第二导电类型掺杂区的需求,能有效减少离子注入的次数,能避免了表面浓度下降,更可实现更理想的箱型杂质分布。

[0018] 由于传统工艺中高精度硬掩膜的刻蚀工艺难度大,精度要求高,本发明掺杂工艺通过激光加工设备代替光刻工艺控制掺杂区尺寸的精度,降低了工艺难度,提升了工艺精度。

附图说明

[0019] 图1~图8为本发明一种具体实施工艺流程图,其中,

[0020] 图1为本发明N型碳化硅晶片的示意图。

[0021] 图2为本发明在碳化硅晶片上设置P型掺杂膜层的示意图。

[0022] 图3为本发明利用激光掺杂工艺制备得到P型激光掺杂区后的示意图。

[0023] 图4为本发明去除P型掺杂膜层的示意图。

[0024] 图5为本发明在碳化硅晶片上设置掩膜层后的示意图。

[0025] 图6为本发明得到P型深掺杂区后的示意图。

[0026] 图7为本发明得到N型掺杂膜层的示意图。

[0027] 图8为本发明得到N型掺杂区后的示意图。

[0028] 附图标记说明:1-碳化硅晶片、2-P型掺杂膜层、3-P型掺杂激光光斑、4-P型激光掺杂区、5-掩膜层、6-掩膜层窗口、7-P型深掺杂区、8-N型掺杂膜层、9-N型掺杂区、10-N型掺杂

激光光斑以及11-P型表面掺杂区。

具体实施方式

[0029] 下面结合具体附图和实施例对本发明作进一步说明。

[0030] 如图8所示:为了能减少离子注入次数,避免表面浓度下降,有效实现掺杂后的箱型杂质分布,降低了工艺难度,提升了工艺精度,以N型的碳化硅晶片为例,本发明在所述碳化硅晶片1内制备有P型掺杂区以及位于所述P型掺杂区内的N型掺杂区9,其中,P型掺杂区包括采用离子注入形成的P型深掺杂区7以及采用激光掺杂形成的P型表面掺杂区11,P型深掺杂区7在碳化硅晶片1内的掺杂深度大于P型表面掺杂区11在碳化硅晶片1内的掺杂深度以及N型掺杂区9在碳化硅晶片1内的掺杂深度,P型表面掺杂区11位于P型深掺杂区7的上方,且P型表面掺杂区11与P型深掺杂区7邻接。

[0031] 具体地,碳化硅晶片1的导电类型为N型,碳化硅晶片1其余的具体情况均可以根据需要选择,具体为本技术领域人员所熟知,此处不再赘述。在掺杂时,一般需要在碳化硅晶片1内制备P型掺杂区以及N型掺杂区9,其中,N型掺杂区9位于P型掺杂区内。

[0032] 本发明实施例中,P型掺杂区包括采用离子注入的P型深掺杂区7以及采用激光掺杂的P型表面掺杂区11,P型深掺杂区7的掺杂深度大于P型表面掺杂区11以及N型掺杂区9相对应的掺杂深度。因此,通过激光掺杂工艺制备得到P型表面掺杂区11时,保证表面的掺杂浓度,能满足欧姆接触等的工艺需要。采用离子注入制备得到P型深掺杂区7后,P型深掺杂区7与P型表面掺杂区11具有相同的掺杂类型,且P型深掺杂区7与P型表面掺杂区11邻接,从而解决现有碳化硅晶片1中无法通过扩散掺杂实现相应的掺杂需求,有效实现掺杂后的箱型杂质分布,降低工艺难度。

[0033] 具体实施时,所述P型深掺杂区在碳化硅晶片1内的掺杂深度大于500nm。P型表面掺杂区11的掺杂深度可以与N型掺杂区9的掺杂深度,或者P型表面掺杂区11的掺杂深度可与N型掺杂区9具有不同的掺杂深度,具体可以根据实际需要选择,此处不再赘述。此外,P型表面掺杂区11、P型深掺杂区7相对应的掺杂浓度关系具体可以根据需要选择,具体为本技术领域人员所熟知,此处不再赘述。

[0034] 本发明实施例中,为了精确控制掺杂,N型掺杂区9采用激光掺杂工艺制备得到;在制备N型掺杂区9时的激光光斑大小与制备P型表面掺杂区11时的激光光斑大小不同,即N型掺杂区9一般也位于碳化硅晶片1相对应的表面。具体实施时,激光掺杂工艺中,激光的波长为100nm~2000nm,功率密度0-100J/cm²。

[0035] 进一步地,在碳化硅晶片1内制备P型掺杂区时,先采用激光掺杂工艺制备得到P型表面掺杂区11,再通过离子注入工艺制备得到P型深掺杂区7,或者先采用离子注入工艺制备得到P型深掺杂区7,再通过激光掺杂工艺制备得到P型表面掺杂区11。

[0036] 本发明实施例中,在制备P型掺杂区时,P型表面掺杂区11、P型深掺杂区7的具体顺序可以根据需要选择。当然,P型掺杂区与N型掺杂区9的顺序也可以根据需要选择,即可以先制备P型掺杂区,然后再制备N型掺杂区9,当然,也可以制备N型掺杂区9,在制备P型掺杂区,具体顺序可以根据需要选择,此处不再赘述。

[0037] 进一步地,在制备P型表面掺杂区11时,在碳化硅晶片1上设置P型掺杂膜层2,对P型掺杂膜层2进行激光照射后,在碳化硅晶片1内得到P型激光掺杂区4,并能利用所述P型激

光掺杂区4制备得到P型表面掺杂区11;

[0038] 在制备P型深掺杂区7时,在碳化硅晶片1上设置掩膜层5,选择性地掩蔽和刻蚀所述掩膜层5后,以能得到贯通所述掩膜层5的离子注入窗口6,利用所述掩膜层5以及离子注入窗口6,采用离子注入工艺后能在碳化硅晶片1内制备得到P型深掺杂区7。

[0039] 本发明实施例中,当采用激光掺杂工艺时,需要在碳化硅晶片1上设置P型掺杂膜层2,当对P型掺杂膜层2进行激光照射时,能在P型表面掺杂层4,并利用P型表面掺杂层4能得到P型表面掺杂区11。具体实施时,P型掺杂膜层2可以为铝膜。

[0040] 在进行离子注入工艺时,一般需要在碳化硅晶片1上设置掩膜层5,掩膜层5可以采用现有常用的材料,可以采用本技术领域常用的技术手段实现对掩膜层5进行刻蚀,以能得到离子注入窗口6。制备得到的P型深掺杂区7与离子注入窗口6对应。

[0041] 如图1~图8所示,为本发明一种掺杂工艺的步骤示意图,下面对具体的工艺过程进行说明。

[0042] 如图1所示,为提供N导电类型碳化硅晶片1的示意图,如图2所示,为在碳化硅晶片1上设置P型掺杂膜层2,P型掺杂膜层2可以镀在碳化硅晶片1上,P型掺杂膜层2的厚度等可以根据需要设置,P型掺杂膜层2可以为铝膜。如图3所示,在P型掺杂膜层2上进行激光掺杂工艺,在激光掺杂工艺时,利用P型掺杂激光光斑3对P型掺杂膜层2照射,从而能在碳化硅晶片1内得到P型激光掺杂区4,一般地,P型激光掺杂区4从碳化硅晶片1的表面向下延伸,P型激光掺杂区4的位置、掺杂深度以及掺杂浓度具体可以根据需要选择,具体为本技术领域人员所熟知,此处不再赘述。

[0043] 如图4所示,为采用本技术领域常用的技术手段去除P型掺杂膜层2后的示意图,如图5所示,为在碳化硅晶片1上设置掩膜层5,并对掩膜层5进行刻蚀后得到离子注入窗口6后的示意图。对掩膜层5刻蚀时,刻蚀精度要求低,能大幅降低工艺难度。如图6所示,在碳化硅晶片1上方进行P型杂质离子的注入,具体离子注入的工艺条件均可与现有离子注入工艺条件相一致,具体为本技术领域人员所熟知,在P型离子注入后,能在碳化硅晶片1内制备得到P型深掺杂区7,P型深掺杂区7的掺杂深度大于P型激光掺杂区4。在截面上,P型深掺杂区7的长度小于P型激光掺杂区4的长度,P型激光掺杂区7与P型激光掺杂区4相邻接。

[0044] 如图7所示,为采用本技术领域常用的技术手段去除掩膜层5,并在碳化硅晶片1上设置N型掺杂膜层8后的示意图,N型掺杂膜层8可以为氮化硅层或磷硅玻璃膜层。如图8所示,为利用激光掺杂工艺对N型掺杂膜层8进行照射的情况,即利用N型掺杂激光光斑10对N型掺杂膜层8进行照射,N型掺杂激光光斑10的尺寸小于P型掺杂激光光斑3,从而在碳化硅晶片1内得到N型掺杂区9,且N型掺杂区9只会覆盖部分P型激光掺杂区4,而剩余的P型激光掺杂区4能得到P型表面掺杂区11,N型掺杂区9的掺杂深度可以大于P型表面掺杂区11的掺杂深度,或者,N型掺杂区9的掺杂深度小于等于P型表面掺杂区11的掺杂深度。

[0045] 通过上述工艺步骤后,能在碳化硅晶片1内制备得到所需的P型掺杂区以及N型掺杂区9。当然,在具体实施时,还可以先制备N型掺杂区9,在制备P型掺杂区。而当碳化硅晶片1为P导电类型时,具体可以参考上述说明,具体为本技术领域人员所熟知,此处不再赘述。

[0046] 综上,通过激光掺杂工艺制备得到N型掺杂区9,在制备P型掺杂区时,通过激光掺杂工艺能制备P型表面掺杂区11,通过离子注入工艺能制备P型深掺杂区7,满足在N型碳化硅晶片1内制备得到P型掺杂区的需求,能有效减少离子注入的次数;N型掺杂区9、P型表面

掺杂区11采用激光掺杂工艺制备得到时,能避免了表面浓度下降,更可实现更理想的箱型杂质分布。

[0047] 由于传统工艺中高精度硬掩膜的刻蚀工艺难度大,精度要求高,本发明掺杂工艺通过激光加工设备代替光刻工艺控制掺杂区尺寸的精度,降低了工艺难度,提升了工艺精度。

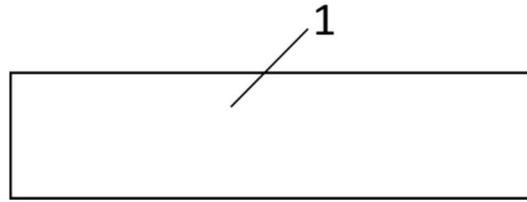


图1

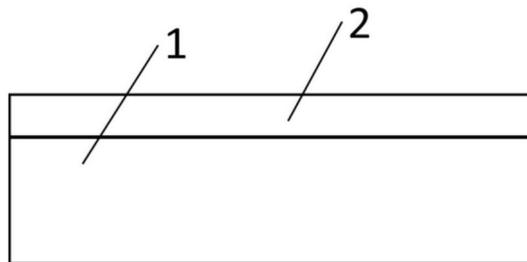


图2

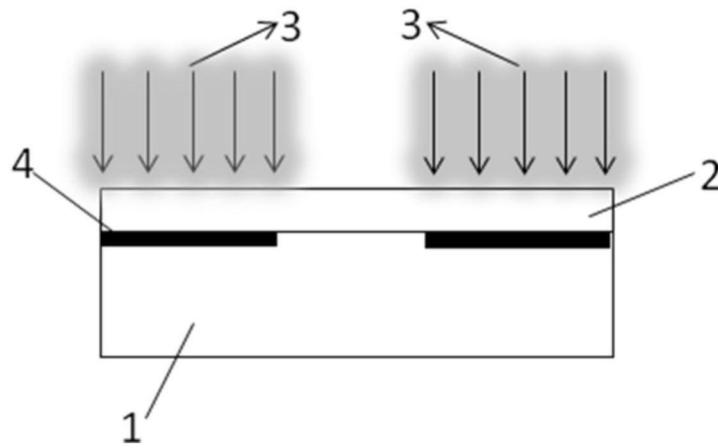


图3

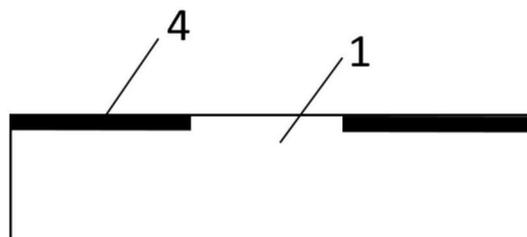


图4

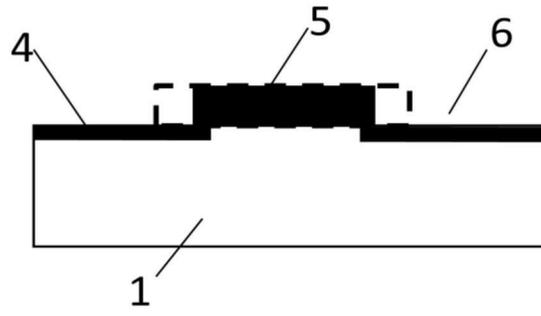


图5

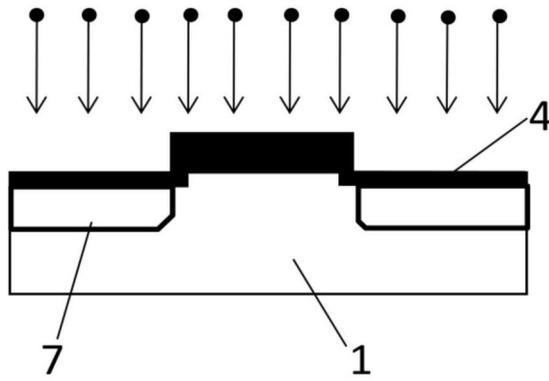


图6

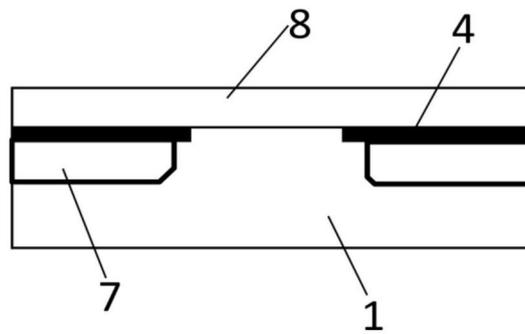


图7

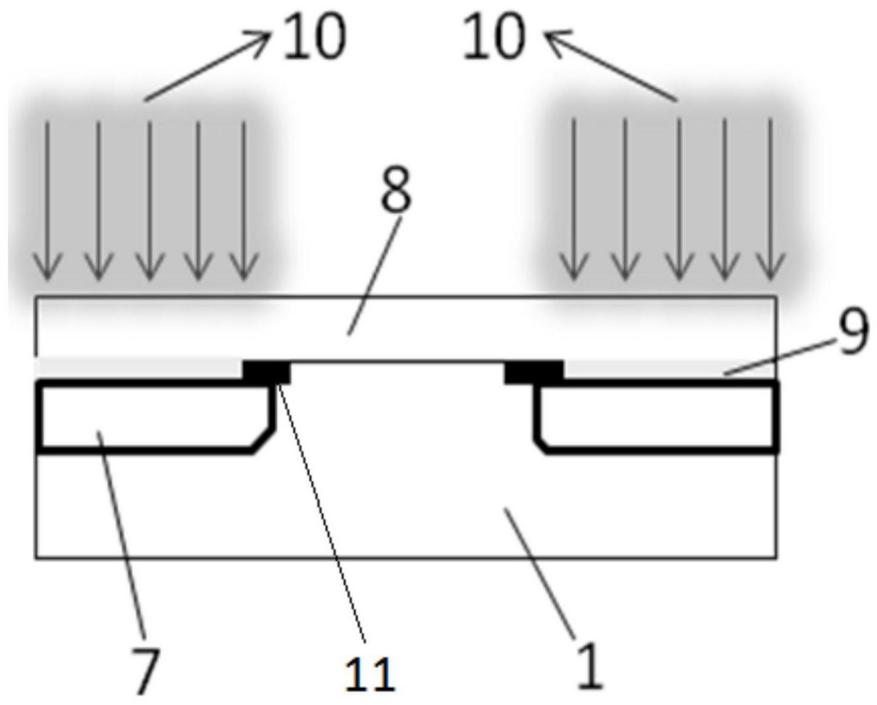


图8