



(12) 发明专利

(10) 授权公告号 CN 115663763 B

(45) 授权公告日 2023. 04. 07

(21) 申请号 202211593635.8

H02H 1/00 (2006.01)

(22) 申请日 2022.12.13

审查员 郑悦

(65) 同一申请的已公布的文献号
申请公布号 CN 115663763 A

(43) 申请公布日 2023.01.31

(73) 专利权人 江苏中科汉韵半导体有限公司
地址 221000 江苏省徐州市经济技术开发区创业路26号A-2厂房1F-2F

(72) 发明人 陈珍海 何宁业 袁述 王家琪

(74) 专利代理机构 苏州国诚专利代理有限公司
32293

专利代理师 韩凤

(51) Int. Cl.

H02H 7/12 (2006.01)

H02H 3/08 (2006.01)

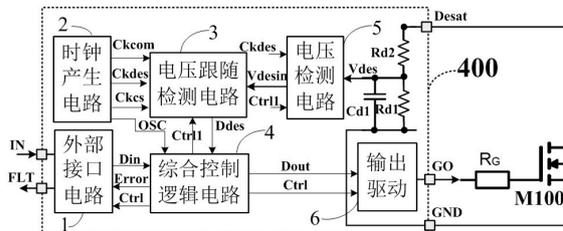
权利要求书4页 说明书11页 附图6页

(54) 发明名称

SiC MOSFET高精度短路保护电路

(57) 摘要

本发明涉及一种SiC MOSFET高精度短路保护电路,包括外部接口电路、时钟产生电路、电压跟随检测电路、综合控制逻辑电路、电压检测电路、输出驱动电路、检测电阻Rd1、检测电阻Rd2和检测电容Cd1。电压检测电路用于检测Desat信号经检测电阻Rd1、检测电阻Rd2和检测电容Cd1分压滤波产生的退饱和输入信号Vdes,并在退饱和和控制时钟的控制下输出退饱和和采样信号Vdesin。电压跟随检测电路依据退饱和和采样信号Vdesin输出退饱和和量化信号Ddes给综合控制逻辑电路。综合控制逻辑电路用于产生功率开关驱动信号Dout、错误信号Error和控制信号。本发明通过检测漏源极电压(V_{DS})变化斜率来判断V_{DS}电压的状态是否在安全区间,可以动态监测V_{DS}的所有异常变化,大幅提高了短路保护电路的保护精度。



1. SiC MOSFET高精度短路保护电路,其特征是,包括外部接口电路(1)、时钟产生电路(2)、电压跟随检测电路(3)、综合控制逻辑电路(4)、电压检测电路(5)、输出驱动电路(6)、检测电阻Rd1、检测电阻Rd2和检测电容Cd1;其中,所述检测电阻Rd2的上端连接到退饱和和检测端口Desat和待驱动SiC MOSFET的漏极,检测电阻Rd1的下端和检测电容Cd1的下端连接到地电位端口GND;检测电阻Rd2的下端与检测电阻Rd1的上端、检测电容Cd1的上端的连接点产生退饱和输入信号Vdes,并连接到电压检测电路(5)的检测电压输入端;电压检测电路(5)用于检测Desat信号经检测电阻Rd1、检测电阻Rd2和检测电容Cd1分压滤波产生的退饱和输入信号Vdes,并在退饱和控制时钟Ckdes的控制下输出退饱和和采样信号Vdesin,连接到电压跟随检测电路(3);所述电压跟随检测电路(3)在采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes的控制下,依据退饱和和采样信号Vdesin输出退饱和和量化信号Ddes,连接到综合控制逻辑电路(4);所述时钟产生电路(2)产生基准时钟OSC、采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes;外部接口电路(1)一方面接收外部输入脉冲驱动信号IN,并转换为输入驱动信号Din输出给综合控制逻辑电路(4),另一方面将来自综合控制逻辑电路(4)的错误信号Error进行缓冲处理,并输出错误信号FLT给芯片外部提供脉冲驱动信号IN的控制器;综合控制逻辑电路(4)依据输入驱动信号Din、基准时钟OSC和退饱和和量化信号Ddes的状态产生功率开关驱动信号Dout、错误信号Error、控制信号Ctrl和控制信号Ctrl1,其中功率开关驱动信号Dout连接到输出驱动电路(6),控制信号Ctrl连接到外部接口电路(1)和输出驱动电路(6),控制信号Ctrl1连接到电压跟随检测电路(3)和电压检测电路(5),错误信号Error连接到外部接口电路(1);输出驱动电路(6)根据功率开关驱动信号Dout产生SiC MOSFET的栅驱动信号G0;

电路正常工作时,时钟产生电路(2)首先产生一组默认的初始基准时钟OSC、采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes,其中采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes为三相不交叠时钟;然后所述综合控制逻辑电路(4)首先输出控制信号Ctrl,开启外部接口电路(1)和输出驱动电路(6),外部接口电路(1)开始接收外部输入脉冲驱动信号IN并转换为输入驱动信号Din,紧接着综合控制逻辑电路(4)依据输入驱动信号Din、基准时钟OSC和退饱和和量化信号Ddes的状态产生功率开关驱动信号Dout,输出驱动电路(6)根据功率开关驱动信号Dout产生栅驱动信号G0;最后所述综合控制逻辑电路(4)输出控制信号Ctrl1,开启电压跟随检测电路(3)和电压检测电路(5),电压检测电路(5)开始检测退饱和输入信号Vdes并在退饱和控制时钟Ckdes的控制下输出退饱和和采样信号Vdesin,电压跟随检测电路(3)依据退饱和和采样信号Vdesin产生退饱和和量化信号Ddes;综合控制逻辑电路(4)根据量化信号Ddes的状态来判断电压信号Desat和SiC MOSFET的状态,并在出现异常的情况下改变控制信号Ctrl的状态,并输出错误信号Error给外部接口电路(1),最终输出错误信号FLT给芯片外部提供外部输入脉冲驱动信号IN的控制器。

2. 根据权利要求1所述的SiC MOSFET高精度短路保护电路,其特征是,所述电压检测电路(5)包括采样开关(50)和电压缓冲器(51);所述采样开关(50)在退饱和控制时钟Ckdes的控制下对退饱和输入信号Vdes进行采样,得到退饱和和采样保持信号Vdes_sh,连接到电压缓冲器(51);所述电压缓冲器(51)在控制信号Ctrl1的控制下对退饱和和采样保持信号Vdes_sh进行隔离缓冲,输出退饱和和采样信号Vdesin。

3. 根据权利要求1所述的SiC MOSFET高精度短路保护电路,其特征是,所述电压跟随检

测电路(3)包括:高性能采样开关(60)、保持电路(61)和高精度比较器(63);退饱和采样信号 V_{desin} 连接到高性能采样开关(60)的模拟信号输入端;高性能采样开关(60)的时钟控制端连接采样控制时钟 $Ckcs$;高性能采样开关(60)的第一模拟信号输出端连接到高精度比较器(63)的正输入端,由跟随控制时钟 $Ckcom$ 控制该连接的通断;高性能采样开关(60)的第二模拟信号输出端连接到保持电路(61)的信号输入端,由退饱和控制时钟 $Ckdes$ 控制该连接的通断;保持电路(61)的模拟信号输出端连接到高精度比较器(63)的负输入端,由跟随控制时钟 $Ckcom$ 控制该连接的通断;高精度比较器(63)的量化输出端的数据为退饱和和量化信号 $Ddes$,输出到所述综合控制逻辑电路(4);

所述电压跟随检测电路(3)的工作过程如下: $Ckcs$ 相,高性能采样开关(60)对退饱和和采样信号 V_{desin} 进行电压采样,假设此时该开关为第 M 次采样,则开关采样得到电压 $V_{des}(M)$; $Ckcom$ 相,高性能采样开关(60)得到的电压 $V_{des}(M)$ 和保持电路(61)前个时钟周期保持的电压 $V_{des}(M-1)$ 进入高精度比较器(63),高精度比较器(63)对电压 $V_{des}(M)$ 和 $V_{des}(M-1)$ 进行比较,输出量化数据 $Ddes(M)$, $Ddes(M)$ 表示第 M 次采样时产生的退饱和和量化信号 $Ddes$, $Ddes(M)$ 为1表示 V_{desin} 电压在升高, $Ddes(M)$ 为0则相反; $Ckdes$ 相, $V_{des}(M)$ 进入保持电路(61)进行保持;其中 M 为大于1的自然数,采样控制时钟 $Ckcs$ 、跟随控制时钟 $Ckcom$ 和退饱和控制时钟 $Ckdes$ 为3相不交叠时钟。

4.根据权利要求1所述的SiC MOSFET高精度短路保护电路,其特征是,所述综合控制逻辑电路(4)包括:计数器(100)、控制逻辑电路(101)、参考数据输出电路(102)、输入串行寄存器(103)、串/并转换电路(104)、第一缓冲器(105)、第二缓冲器(106)、并行寄存器组(107)和错误判决处理逻辑(108);

所述计数器(100)根据外部输入基准时钟 OSC 产生工作控制时钟 Ck_ctrl ,工作控制时钟 Ck_ctrl 同时连接到控制逻辑电路(101)、输入串行寄存器(103)、串/并转换电路(104)、并行寄存器组(107)和错误判决处理逻辑(108)的控制时钟输入端;

所述控制逻辑电路(101)根据工作控制时钟 Ck_ctrl 和潜在错误信号 $Error_lat$ 产生控制信号 $Ctrl$ 和控制信号 $Ctrl1$,控制信号 $Ctrl$ 连接到第一缓冲器(105)的控制信号输入端,控制信号 $Ctrl1$ 连接到参考数据输出电路(102)、输入串行寄存器(103)、串/并转换电路(104)、错误判决处理逻辑(108)和第二缓冲器(106)的控制信号输入端;

所述第一缓冲器(105)在控制信号 $Ctrl$ 的控制下,对输入驱动信号 Din 缓冲然后输出功率开关驱动信号 $Dout$;

所述参考数据输出电路(102)在控制信号 $Ctrl1$ 的控制下输出 N 位参考数据 $Dref(N)$,连接到错误判决处理逻辑(108), N 为大于1的自然数;

所述输入串行寄存器(103)在工作控制时钟 Ck_ctrl 和控制信号 $Ctrl1$ 的控制下,依照时间先后次序依次接收退饱和和量化信号 $Ddes$ 并按照先入先出的顺序输出给串/并转换电路(104);

串/并转换电路(104)在工作控制时钟 Ck_ctrl 和控制信号 $Ctrl1$ 的控制下,将串行输入的退饱和和量化信号 $Ddes$ 转换为并行输出的 N 位退饱和和状态码 $Ds(N)$,连接到并行寄存器组(107);

并行寄存器组(107)在工作控制时钟 Ck_ctrl 的控制下将依照时间先后次序输出的 N 位退饱和和状态码 $Ds(N)$ 转换为 K 组并行输出的 N 位退饱和和状态码 $Ds(N)1 \sim Ds(N)K$,连接到错误

判决处理逻辑(108);K为大于2的自然数;

错误判决处理逻辑(108)在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下对K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat;预输出错误信号Error_pre连接到第二缓冲器(106),潜在错误信号Error_lat连接到控制逻辑电路(101);

第二缓冲器(106)在控制信号Ctrl1的控制下将预输出错误信号Error_pre缓冲驱动输出错误信号Error;潜在错误信号Error_lat输出给所述控制逻辑电路(101),并最终调整控制信号Ctrl1的状态。

5. 根据权利要求4所述的SiC MOSFET高精度短路保护电路,其特征是,芯片上电后,综合控制逻辑电路(4)中计数器(100)首先开始工作,计数器(100)正常工作后根据OSC信号输出工作控制时钟Ck_ctrl,同时输入到控制逻辑电路(101)、输入串行寄存器(103)、串/并转换电路(104)、并行寄存器组(107)和错误判决处理逻辑(108);紧接着,控制逻辑电路(101)根据工作控制时钟Ck_ctrl产生控制信号Ctrl,并开启第一缓冲器(105),第一缓冲器(105)根据输入驱动信号Din产生功率开关驱动信号Dout;经过一段时间延迟,控制逻辑电路(101)将会产生控制信号Ctrl1,并开启参考数据输出电路(102)、输入串行寄存器(103)、串/并转换电路(104)、错误判决处理逻辑(108)和第二缓冲器(106);然后,参考数据输出电路(102)产生N位参考数据Dref(N),输入串行寄存器(103)依照时间先后次序依次接收退饱和和量化信号Ddes并按照先入先出的顺序输出给串/并转换电路(104),串/并转换电路(104)将串行输入的退饱和和量化信号Ddes转换为并行输出的N位退饱和状态码Ds(N),并行寄存器组(107)将依照时间先后次序输出的N位退饱和状态码Ds(N)转换为K组并行输出的N位退饱和和状态码Ds(N)1~Ds(N)K,错误判决处理逻辑(108)对K组并行输出的N位退饱和和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat;控制逻辑电路(101)根据潜在错误信号Error_lat的状态实时调整控制信号Ctrl1的状态,从而控制所述外部接口电路(1)的工作并改变输入驱动信号Din的特性,最终改变功率开关驱动信号Dout和栅驱动信号GO的特性。

6. 根据权利要求4所述的SiC MOSFET高精度短路保护电路,其特征是,所述错误判决处理逻辑(108)包括:粗数据加权电路(111)、细数据加权电路(112)、K个数据加权电路、K个求和数据选择开关、K-1个减法器、K-1个求差数据选择开关、第一数字比较器(114)和第二数字比较器(115);

所述粗数据加权电路(111)根据N位参考数据Dref(N)进行加权求和产生求和数据Cot00,连接到第一数字比较器(114),细数据加权电路(112)根据N位参考数据Dref(N)进行加权求和产生求和数据Cot01,连接到第二数字比较器(115),Cot00>Cot01;

K个数据加权电路分别根据K组N位退饱和状态码Ds(N)1~Ds(N)K进行加权求和,分别产生K个求和数据Cot1~CotK;K个求和数据Cot1~CotK分别经过K个求和数据选择开关连接到第一数字比较器(114)的第二比较输入端Cot_s,第一数字比较器(114)的第一比较输入端连接求和数据Cot00;K个求和数据Cot1~CotK中的任意两个相邻数据,通过K-1个减法器进行求差处理,得到K-1个求差数据Not1~NotK-1;K-1个求差数据Not1~NotK-1分别经过K-1个求差数据选择开关连接到第二数字比较器(115)的第二比较输入端Cot_sn,第二数字比较器(115)的第一比较输入端连接求和数据Cot01;第二数字比较器(115)将Cot_sn端数据

与求和数据Cot01比较,得到潜在错误信号Error_lat;第一数字比较器(114)将Cot_s端数据与求和数据Cot00比较,得到预输出错误信号Error_pre;

K个求和数据选择开关在任意时间只能有一个开启,K-1个求差数据选择开关在任意时间只能有一个开启。

7.根据权利要求6所述的SiC MOSFET高精度短路保护电路,其特征是,所述预输出错误信号Error_pre用于检测单位时间内退饱和采样信号Vdesin电压上升斜率异常情况;所述潜在错误信号Error_lat用于检测不同时间段之间退饱和采样信号Vdesin电压上升斜率之间的差值,从而细微地反映退饱和采样信号Vdesin电压变化情况。

SiC MOSFET高精度短路保护电路

技术领域

[0001] 本发明涉及一种高压驱动芯片的高精度短路保护电路,属于集成电路电源系统技术领域。

背景技术

[0002] 碳化硅(SiC)制作的器件具有耐高温、耐高压、高频、大功率、抗辐射等特点,具有开关速度快、效率高的优势,可大幅降低产品功耗、提高能量转换效率并减小产品体积,下游应用广泛。目前SiC半导体主要应用于以5G通信、国防军工、航空航天为代表的射频领域和以新能源汽车、“新基建”为代表的电力电子领域,在民用、军用领域均具有明确且可观的市场前景。SiC MOSFET相对应于传统硅基IGBT有以下优点:(1)高工作频率,传统IGBT工作频率在低于100KHZ,而SiC MOSFET可以工作在1MHz,这样可以减小电源系统中电容以及电感或变压器的体积,降低电源成本,让电源实现小型化,美观化;(2)低导通阻抗, SiC MOSFET单管最小内阻可以达到15毫欧,可以轻松达到能效要求,减少散热片使用,降低电源体积和重量,电源温度更低,可靠性更高;(3)耐压高, SiC MOSFET目前量产的耐压可达3300V, IGBT常见耐压1200V,可以实现更高的应用系统。(4)耐高温, SiC MOSFET芯片结温可达300度,可靠性和稳定性大大高于传统器件,减小系统成本并提高寿命。

[0003] 图1所示为SiC MOSFET的典型驱动应用示意图。高压SiC MOSFET M100的栅极通过限流电阻 R_G 连接到高压栅驱动芯片00的驱动信号输出端ON/OFF。正常工作时,高压栅驱动芯片00提供幅度为15-25V的PWM波经限流电阻 R_G 到SiC MOSFET M100的栅极,从而控制SiC MOSFET M100的开启和关闭。当SiC MOSFET M100的栅极施加一个大于阈值 V_{th} 的正压 V_{GS} ,则SiC MOSFET M100的栅极氧化层下方会形成导电沟道,这时如果给漏极D施加正压 V_{DS} ,则源极中的电子便会在电场的作用下源源不断地从漏极D流向源极S,这样电流便形成了,这时电流随 V_{DS} 电压的增长而线性增长。随着 V_{DS} 电压的增大,使得栅极和硅表面的电压差很小而不能维持硅表面的强反型,沟道出现夹断现象,电流不再随 V_{DS} 电压的增加而成比例增长,而进入退饱和状态(Desat)。

[0004] 图2为SiC MOSFET M100实际应用的典型开启过程状态波形示意图。 t_1 时刻之前, V_{GS} 电压不足以开启SiC MOSFET M100,此时SiC MOSFET M100处于截止状态, V_{DS} 电压为高压母线电压 V_H ,流过SiC MOSFET M100的负载电流 I_L 为0; $t_1 \sim t_2$ 时刻, V_{GS} 电压 $>V_{th}$ 电压, SiC MOSFET M100开始开启,负载电流 I_L 开始增大, V_{DS} 电压开始降低, SiC MOSFET M100处于饱和状态; $t_2 \sim t_3$ 时刻,由于米勒钳位电容影响, V_{GS} 电压保持在 $>V_{th}$ 电压的一个恒定值,负载电流 I_L 开始维持在最大值不变, V_{DS} 电压开始快速降低,在此过程中SiC MOSFET M100将完成从饱和状态向线性区状态的转换; $t_3 \sim t_4$ 时刻, V_{GS} 电压将继续上升,负载电流 I_L 继续维持在最大值不变, V_{DS} 电压继续保持在0状态, SiC MOSFET M100将进一步转换为深线性区状态,保持一个非常低的导通电阻。可以看出,正常导通之后, SiC MOSFET M100的 V_{DS} 电压将会维持非常低的压降,实现降低开关损耗的目的。当电路发生短路等异常现象时, SiC MOSFET M100将会发生退饱和之现象,此时 V_{DS} 电压会迅速上升,若不采取保护措施, V_{DS} 电压将会上升到母

线电压 V_H ,负载电流 I_L 一般是额定电流的几倍。功率异常增大,结温急剧上升,不及时关断器件就有可能烧毁器件。多数MOSFET电流短路承受能力差而造成热损坏,而SiC MOSFET电流的短路能力更差。那么针对SiC MOSFET的Desat保护设计就变得尤为重要。

[0005] 针对SiC MOSFET的Desat保护设计,可以采用多种方式。最简单的一种方式监测电流, I_L 电流超过一定的阈值后驱动器报错,关断MOSFET开关管。另外一种措施是检测SiC MOSFET器件的 V_{DS} 电压。SiC MOSFET M100正常工作时 V_{DS} 电压很低,一般在1V到2V之间,而退饱和检测电路事先设定一个饱和阈值电压,比如6V,则当 V_{DS} 电压超过6V时,驱动芯片00报错,关断MOSFET开关管。如图3所示,上述Desat保护功能,是设置了一个固定的饱和阈值电压 V_r 进行状态比较, t_4 后若发生 V_{DS} 已经异常,但是并未达到该阈值 V_r 的状况,则Desat保护功能将不会被触发。但此时SiC MOSFET器件M100的工作状态已经出现明显偏移,电流急剧增加,器件的导通损耗大幅增加。因此提供一种针对SiC MOSFET的电流异常情况下的更精确的Desat检测和短路保护设计方案,对于提高SiC MOSFET的使用寿命有重大意义。

发明内容

[0006] 本发明在现有技术基础上,提供了一种SiC MOSFET器件的高精度短路保护电路,用以提升SiC MOSFET的使用寿命和可靠性。

[0007] 本发明提供的SiC MOSFET高精度短路保护电路,其结构包括:外部接口电路、时钟产生电路、电压跟随检测电路、综合控制逻辑电路、电压检测电路、输出驱动电路、检测电阻 R_{d1} 、检测电阻 R_{d2} 和检测电容 C_{d1} ;其中,所述检测电阻 R_{d2} 的上端连接到退饱和检测端口Desat和待驱动SiC MOSFET的漏极,检测电阻 R_{d1} 的下端和检测电容 C_{d1} 的下端连接到地电位端口GND;检测电阻 R_{d2} 的下端与检测电阻 R_{d1} 的上端、检测电容 C_{d1} 的上端的连接点产生退饱和输入信号 V_{des} ,并连接到电压检测电路的检测电压输入端;电压检测电路用于检测Desat信号经检测电阻 R_{d1} 、检测电阻 R_{d2} 和检测电容 C_{d1} 分压滤波产生的退饱和输入信号 V_{des} ,并在退饱和控制时钟 Ck_{des} 的控制下输出退饱和采样信号 V_{desin} ,连接到电压跟随检测电路;所述电压跟随检测电路在采样控制时钟 Ck_{cs} 、跟随控制时钟 Ck_{com} 和退饱和控制时钟 Ck_{des} 的控制下,依据退饱和采样信号 V_{desin} 输出退饱和量化信号 D_{des} ,连接到综合控制逻辑电路;所述时钟产生电路产生基准时钟OSC、采样控制时钟 Ck_{cs} 、跟随控制时钟 Ck_{com} 和退饱和控制时钟 Ck_{des} ;外部接口电路一方面接收外部输入脉冲驱动信号IN,并转换为输入驱动信号 D_{in} 输出给综合控制逻辑电路,另一方面将来自综合控制逻辑电路的错误信号Error进行缓冲处理,并输出错误信号FLT给芯片外部提供脉冲驱动信号IN的控制器;综合控制逻辑电路依据输入驱动信号 D_{in} 、基准时钟OSC和退饱和量化信号 D_{des} 的状态产生功率开关驱动信号 D_{out} 、错误信号Error、控制信号Ctrl和控制信号Ctrl1,其中功率开关驱动信号 D_{out} 连接到输出驱动电路,控制信号Ctrl连接到外部接口电路和输出驱动电路,控制信号Ctrl1连接到电压跟随检测电路和电压检测电路,错误信号Error连接到外部接口电路;输出驱动电路根据功率开关驱动信号 D_{out} 产生SiC MOSFET的栅驱动信号GO;

[0008] 电路正常工作时,时钟产生电路首先产生一组默认的初始基准时钟OSC、采样控制时钟 Ck_{cs} 、跟随控制时钟 Ck_{com} 和退饱和控制时钟 Ck_{des} ,其中采样控制时钟 Ck_{cs} 、跟随控制时钟 Ck_{com} 和退饱和控制时钟 Ck_{des} 为三相不交叠时钟;然后所述综合控制逻辑电路首先输出控制信号Ctrl,开启外部接口电路和输出驱动电路,外部接口电路开始接收外部输入脉

冲驱动信号IN并转换为输入驱动信号Din,紧接着综合控制逻辑电路依据输入驱动信号Din、基准时钟OSC和退饱和量化信号Ddes的状态产生功率开关驱动信号Dout,输出驱动电路根据功率开关驱动信号Dout产生栅驱动信号G0;最后所述综合控制逻辑电路输出控制信号Ctrl1,开启电压跟随检测电路和电压检测电路,电压检测电路开始检测退饱和输入信号Vdes并在退饱和控制时钟Ckdes的控制下输出退饱和采样信号Vdesin,电压跟随检测电路依据退饱和采样信号Vdesin产生退饱和量化信号Ddes;综合控制逻辑电路根据量化信号Ddes的状态来判断电压信号Desat和SiC MOSFET的状态,并在出现异常的情况下改变控制信号Ctrl1的状态,并输出错误信号Error给外部接口电路,最终输出错误信号FLT给芯片外部提供外部输入脉冲驱动信号IN的控制器。

[0009] 具体的,所述电压检测电路包括采样开关和电压缓冲器;所述采样开关在退饱和控制时钟Ckdes的控制下对退饱和输入信号Vdes进行采样,得到退饱和采样保持信号Vdes_sh,连接到电压缓冲器;所述电压缓冲器在控制信号Ctrl1的控制下对退饱和采样保持信号Vdes_sh进行隔离缓冲,输出退饱和采样信号Vdesin。

[0010] 具体的,所述电压跟随检测电路包括:高性能采样开关、保持电路和高精度比较器;退饱和采样信号Vdesin连接到高性能采样开关的模拟信号输入端;高性能采样开关的时钟控制端连接采样控制时钟Ckcs;高性能采样开关的第一模拟信号输出端连接到高精度比较器的正输入端,由跟随控制时钟Ckcom控制该连接的通断;高性能采样开关的第二模拟信号输出端连接到保持电路的信号输入端,由退饱和控制时钟Ckdes控制该连接的通断;保持电路的模拟信号输出端连接到高精度比较器的负输入端,由跟随控制时钟Ckcom控制该连接的通断;高精度比较器的量化输出端的数据为退饱和量化信号Ddes,输出到所述综合控制逻辑电路;

[0011] 所述电压跟随检测电路的工作过程如下:Ckcs相,高性能采样开关对退饱和采样信号Vdesin进行电压采样,假设此时该开关为第M次采样,则开关采样得到电压 $V_{des}(M)$;Ckcom相,高性能采样开关得到的电压 $V_{des}(M)$ 和保持电路前个时钟周期保持的电压 $V_{des}(M-1)$ 进入高精度比较器,高精度比较器对电压 $V_{des}(M)$ 和 $V_{des}(M-1)$ 进行比较,输出量化数据Ddes(M),Ddes(M)表示第M次采样时产生的退饱和量化信号Ddes,Ddes(M)为1表示Vdesin电压在升高,Ddes(M)为0则相反;Ckdes相, $V_{des}(M)$ 进入保持电路进行保持;其中M为大于1的自然数,采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes为3相不交叠时钟。

[0012] 具体的,所述综合控制逻辑电路包括:计数器、控制逻辑电路、参考数据输出电路、输入串行寄存器、串/并转换电路、第一缓冲器、第二缓冲器、并行寄存器组和错误判决处理逻辑;

[0013] 所述计数器根据外部输入基准时钟OSC产生工作控制时钟Ck_ctrl,工作控制时钟Ck_ctrl同时连接到控制逻辑电路、输入串行寄存器、串/并转换电路、并行寄存器组和错误判决处理逻辑的控制时钟输入端;

[0014] 所述控制逻辑电路根据工作控制时钟Ck_ctrl和潜在错误信号Error_lat产生控制信号Ctrl和控制信号Ctrl1,控制信号Ctrl连接到第一缓冲器的控制信号输入端,控制信号Ctrl1连接到参考数据输出电路、输入串行寄存器、串/并转换电路、错误判决处理逻辑和第二缓冲器的控制信号输入端;

[0015] 所述第一缓冲器在控制信号Ctrl的控制下,对输入驱动信号Din缓冲然后输出功

率开关驱动信号Dout;

[0016] 所述参考数据输出电路在控制信号Ctrl1的控制下输出N位参考数据Dref,连接到错误判决处理逻辑,N为大于1的自然数;

[0017] 所述输入串行寄存器在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下,依照时间先后次序依次接收退饱和量化信号Ddes并按照先入先出的顺序输出给串/并转换电路;

[0018] 串/并转换电路在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下,将串行输入的退饱和量化信号Ddes转换为并行输出的N位退饱和状态码Ds,连接到并行寄存器组;

[0019] 并行寄存器组在工作控制时钟Ck_ctrl的控制下将依照时间先后次序输出的N位退饱和状态码Ds(N)转换为K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K,连接到错误判决处理逻辑;K为大于2的自然数;

[0020] 错误判决处理逻辑在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下对K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat;预输出错误信号Error_pre连接到第二缓冲器,潜在错误信号Error_lat连接到控制逻辑电路;

[0021] 第二缓冲器在控制信号Ctrl1的控制下将预输出错误信号Error_pre缓冲驱动输出错误信号Error;潜在错误信号Error_lat输出给所述控制逻辑电路,并最终调整控制信号Ctrl1的状态。

[0022] 芯片上电后,综合控制逻辑电路中计数器首先开始工作,计数器正常工作后根据OSC信号输出工作控制时钟Ck_ctrl,同时输入到控制逻辑电路、输入串行寄存器、串/并转换电路、并行寄存器组和错误判决处理逻辑;紧接着,控制逻辑电路根据工作控制时钟Ck_ctrl产生控制信号Ctrl,并开启第一缓冲器,第一缓冲器根据输入驱动信号Din产生功率开关驱动信号Dout;经过一段时间延迟,控制逻辑电路将会产生控制信号Ctrl1,并开启参考数据输出电路、输入串行寄存器、串/并转换电路、错误判决处理逻辑和第二缓冲器;然后,参考数据输出电路产生N位参考数据Dref(N),输入串行寄存器依照时间先后次序依次接收退饱和量化信号Ddes并按照先入先出的顺序输出给串/并转换电路,串/并转换电路将串行输入的退饱和量化信号Ddes转换为并行输出的N位退饱和状态码Ds(N),并行寄存器组将依照时间先后次序输出的N位退饱和状态码Ds(N)转换为K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K,错误判决处理逻辑对K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat;控制逻辑电路根据潜在错误信号Error_lat的状态实时调整控制信号Ctrl1的状态,从而控制所述外部接口电路的工作并改变输入驱动信号Din的特性,最终改变功率开关驱动信号Dout和栅驱动信号G0的特性。

[0023] 具体的,所述错误判决处理逻辑包括:粗数据加权电路、细数据加权电路、K个数据加权电路、K个求和数据选择开关、K-1个减法器、K-1个求差数据选择开关、第一数字比较器和第二数字比较器;

[0024] 所述粗数据加权电路根据N位参考数据Dref(N)进行加权求和产生求和数据Cot00,连接到第一数字比较器,细数据加权电路根据N位参考数据Dref(N)进行加权求和产生求和数据Cot01,连接到第二数字比较器,Cot00>Cot01;

[0025] K个数据加权电路分别根据K组N位退饱和状态码Ds(N)1~Ds(N)K进行加权求和,

分别产生K个求和数据Cot1~CotK;K个求和数据Cot1~CotK分别经过K个求和数据选择开关连接到第一数字比较器的第二比较输入端Cot_s,第一数字比较器的第一比较输入端连接求和数据Cot00;K个求和数据Cot1~CotK中的任意两个相邻数据,通过K-1个减法器进行求差处理,得到K-1个求差数据Not1~NotK-1;K-1个求差数据Not1~NotK-1分别经过K-1个求差数据选择开关连接到第二数字比较器的第二比较输入端Cot_sn,第二数字比较器的第一比较输入端连接求和数据Cot01;第二数字比较器将Cot_sn端数据与求和数据Cot01比较,得到潜在错误信号Error_lat;第一数字比较器将Cot_s端数据与求和数据Cot00比较,得到预输出错误信号Error_pre;

[0026] K个求和数据选择开关在任意时间只能有一个开启,K-1个求差数据选择开关在任意时间只能有一个开启。

[0027] 具体的,所述预输出错误信号Error_pre用于检测单位时间内退饱和采样信号Vdesin电压上升斜率异常情况;所述潜在错误信号Error_lat用于检测不同时间段之间退饱和采样信号Vdesin电压上升斜率之间的差值,从而细微地反映退饱和采样信号Vdesin电压变化情况。

[0028] 现有的Desat保护技术,通过固定的参考电压Vr与漏源极电压(V_{DS})进行静态比较,判断是否触发Desat保护功能。与现有技术相比,本发明的优点是:本发明提出的技术方案,通过检测 V_{DS} 电压的变化斜率来判断 V_{DS} 电压的状态是否在安全区间,可以动态监测 V_{DS} 电压的所有异常变化,大幅提高Desat保护的精度,最终大幅提高了短路保护电路的保护精度。本发明的技术方案可应用于各类高压栅驱动芯片系统中。

附图说明

[0029] 图1为SiC MOSFET的典型驱动应用示意图。

[0030] 图2为SiC MOSFET的典型开启过程状态波形示意图。

[0031] 图3为SiC MOSFET现有短路保护波形示意图。

[0032] 图4为本发明SiC MOSFET高精度短路保护电路结构框图。

[0033] 图5为本发明电压检测电路结构框图。

[0034] 图6为本发明电压跟随检测电路原理图。

[0035] 图7为图6中电压跟随检测电路的工作控制时钟波形。

[0036] 图8为本发明时钟产生电路的一种实施例。

[0037] 图9为本发明外部接口电路的一种实施例。

[0038] 图10为本发明综合控制逻辑电路的内部框图。

[0039] 图11为本发明错误判决处理逻辑的一种实施例。

[0040] 图12为本发明在高压半桥栅驱动芯片中的应用示意图。

[0041] 图13为图12的半桥栅驱动芯片在半桥驱动系统中的应用示意图。

具体实施方式

[0042] 下面结合附图和实施例对本发明进行进一步详细的说明。

[0043] 如图4所示,本发明的SiC MOSFET高精度短路保护电路包括以下电路模块:外部接口电路1、时钟产生电路2、电压跟随检测电路3、综合控制逻辑电路4、电压检测电路5、输出

驱动电路6、检测电阻Rd1、检测电阻Rd2和检测电容Cd1。

[0044] 其中,检测电阻Rd2的下端连接检测电阻Rd1的上端、检测电容Cd1的上端,其连接节点产生退饱和输入信号Vdes,并连接到电压检测电路5的检测电压输入端;检测电阻Rd2的上端连接到退饱和检测端口Desat和待驱动SiC MOSFET M100的漏极,检测电阻Rd1的下端和检测电容Cd1的下端连接到地电位端口GND。

[0045] 所述电压检测电路5用于检测退饱和检测端口Desat信号经检测电阻Rd1、检测电阻Rd2和检测电容Cd1分压滤波后产生的退饱和输入信号Vdes,并在退饱和控制时钟Ckdes的控制下输出退饱和和采样信号Vdesin给电压跟随检测电路3。

[0046] 所述电压跟随检测电路3在采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes的控制下,依据退饱和和采样信号Vdesin产生退饱和和量化信号Ddes。

[0047] 所述时钟产生电路2产生基准时钟OSC、采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes。

[0048] 综合控制逻辑电路4依据输入驱动信号Din、基准时钟OSC和退饱和和量化信号Ddes的状态产生功率开关驱动信号Dout、错误信号Error、控制信号Ctrl和控制信号Ctrl1。其中功率开关驱动信号Dout连接到输出驱动电路6,控制信号Ctrl连接到外部接口电路1和输出驱动电路6,控制信号Ctrl1连接到电压跟随检测电路3和电压检测电路5,错误信号Error连接到外部接口电路1。输出驱动电路6根据功率开关驱动信号Dout产生栅驱动信号G0。

[0049] 外部接口电路1一方面接收外部输入脉冲驱动信号IN,转换为输入驱动信号Din输出给综合控制逻辑电路4,另一方面将错误信号Error进行缓冲处理,并输出错误信号FLT输出给芯片外部提供外部输入脉冲驱动信号IN的控制器。

[0050] 本发明图4所示的电路通过检测待驱动SiC MOSFET M100的漏极的电压信号Desat在不同时间的状态,来判断SiC MOSFET M100的开通状态是否异常,进而动态监测Desat信号和SiC MOSFET M100的状态,实现更精确的短路保护功能。

[0051] 当电路开始正常工作时,首先,时钟产生电路2产生一组默认的初始基准时钟OSC、采样控制时钟Ckcs、跟随控制时钟Ckcom和退饱和控制时钟Ckdes;然后,综合控制逻辑电路4先输出控制信号Ctrl,开启外部接口电路1和输出驱动电路6,外部接口电路1开始接收外部输入脉冲驱动信号IN并转换为输入驱动信号Din输出;紧接着,综合控制逻辑电路4依据输入驱动信号Din、基准时钟OSC和退饱和和量化信号Ddes的状态产生功率开关驱动信号Dout,输出驱动电路6根据功率开关驱动信号Dout产生栅驱动信号G0。最后所述综合控制逻辑电路4输出控制信号Ctrl1,开启电压跟随检测电路3和电压检测电路5,电压检测电路5开始检测退饱和输入信号Vdes并在退饱和控制时钟Ckdes的控制下输出退饱和和采样信号Vdesin,电压跟随检测电路3依据退饱和和采样信号Vdesin产生退饱和和量化信号Ddes;综合控制逻辑电路4根据量化信号Ddes的状态来判断电压信号Desat和SiC MOSFET M100的状态,若出现异常则改变控制信号Ctrl1的状态,并输出错误信号Error给外部接口电路1,最终通过外部接口电路1输出FLT信号给芯片外部提供外部输入脉冲驱动信号IN的控制器。

[0052] 如图5所示的实施例中,所述电压检测电路5内部包括采样开关50和电压缓冲器51;所述采样开关50在退饱和控制时钟Ckdes的控制下对退饱和输入信号Vdes进行采样,输出退饱和和采样保持信号Vdes_sh;所述电压缓冲器51在控制信号Ctrl1的控制下对退饱和和采样保持信号Vdes_sh进行隔离缓冲,输出退饱和和采样信号Vdesin。图5中采样开关50可以采

用现有的各类电压采样开关实现;电压缓冲器51采用现有的各类带有复位控制功能的单位增益缓冲器即可以实现。

[0053] 如图6所示,本发明所述电压跟随检测电路3包括:高性能采样开关60、保持电路61和高精度比较器63;输入退饱和采样信号 V_{desin} 连接到高性能采样开关60的模拟信号输入端,高性能采样开关60的第一模拟信号输出端连接到高精度比较器63的正输入端,由跟随控制时钟 $Ckcom$ 控制该连接的通断;高性能采样开关60的第二模拟信号输出端连接到保持电路61的信号输入端,由采样控制时钟 $CKdes$ 控制该连接的通断;保持电路61的模拟信号输出端连接到高精度比较器63的负输入端,由跟随控制时钟 $Ckcom$ 控制该连接的通断;高精度比较器63输出量化数据 $Ddes$ 到所述综合控制逻辑电路4。

[0054] 图7为图6中电压跟随检测电路3的工作控制时钟波形。本发明中基准时钟 OSC 进一步细分为采样控制时钟 $Ckcs$ 、跟随控制时钟 $Ckcom$ 和退饱和控制时钟 $Ckdes$ 组成的3相不交叠时钟。所述电压跟随检测电路3的简要工作过程如下: $Ckcs$ 相,高性能采样开关60对输入退饱和采样信号 V_{desin} 进行电压采样,假设此时该开关为第 M 次采样,则开关采样得到电压 $V_{des}(M)$; $Ckcom$ 相,高精度高精度比较器63将对开关采样得到电压 $V_{des}(M)$ 将与保持电路61前个时钟周期保持的电压进行比较,高精度比较器63得到量化数据 $Ddes(M)$;高精度比较器63输出 $Ddes(M)$ 为1,表示 V_{des} 电压在升高,输出 $Ddes(M)$ 为0则相反; $Ckdes$ 相, $V_{des}(M)$ 进入保持电路61进行保持。在 $V_{des}(2)$ 和 $V_{des}(1)$ 输入到高精度比较器63进行比较之前,高精度比较器63输出初始默认的电压值。

[0055] 综合控制逻辑电路4通过读取一连串的量化数据 $Ddes(M)$ 的数据,即可得到退饱和和采样信号 V_{desin} 的变化趋势,例如 $Ddes(M)$ 连续为1,表示退饱和采样信号 V_{desin} 持续升高,待驱动SiC MOSFET M100的漏极的电压信号 $Desat$ 在持续升高。图7所示电路的精度取决于保持电路61和高精度比较器63电路的性能,显然速度和精度是一对矛盾的指标,为提高精度可以降低控制时钟的频率,不同应用背景对于保持电路61和高精度比较器63电路的速度和精度需求有很大差异,需要采用不同的电路结构进行设计。

[0056] 如图8所示,本发明所述时钟产生电路2包括:PMOS管M80、NMOS管M81、延迟电容C80、施密特触发器S80、反相器 $Inv80$ 、反相器 $Inv81$ 、反相器 $Inv82$ 、输出缓冲器 $Buf80$ 和多相时钟产生电路80。

[0057] 其中,反相器 $Inv80$ 、反相器 $Inv81$ 、反相器 $Inv82$ 构成奇数级反相器链,PMOS管M80和NMOS管M81构成一个延迟控制反相器,延迟控制反相器的输出同时连接到延迟电容C80的上端和施密特触发器S80的输入端,施密特触发器S80的输出端连接到所述奇数级反相器链的输入端,所述奇数级反相器链的输出端同时连接到输出缓冲器 $Buf80$ 的输入端、延迟控制反相器的输入端和多相时钟产生电路80的输入端,输出缓冲器 $Buf80$ 的输出端输出基准时钟 OSC ;多相时钟产生电路80产生3相不交叠的采样控制时钟 $Ckcs$ 、跟随控制时钟 $Ckcom$ 和退饱和控制时钟 $Ckdes$ 。上述延迟控制反相器、施密特触发器S80和奇数级反相器链级联形成总数为奇数级的环形振荡器,产生振荡时钟信号,输出时钟的频率由控制信号 $Ictrl$ 对延迟电容C80进行充放电的延迟控制。

[0058] 图9为本发明外部接口电路1的一种实施例。该电路一个通路接收外部输入脉冲驱动信号 IN ,并转换为输入驱动信号 Din ,另一个通路将错误信号 $Error$ 进行缓冲处理,并输出错误信号 FLT 给输出给芯片外部提供驱动信号 IN 的控制器。该电路具体实现上包括两个具

备足够驱动能力的级联反相器链,其中对外部输入脉冲驱动信号IN进行接收的反相器链最终输出受控制信号Ctrl控制。

[0059] 如图10所示,本发明的综合控制逻辑电路4包括:计数器100、控制逻辑电路101、参考数据输出电路102、输入串行寄存器103、串/并转换电路104、第一缓冲器105、第二缓冲器106、并行寄存器组107和错误判决处理逻辑108。

[0060] 所述计数器100根据外部输入基准时钟OSC产生工作控制时钟Ck_ctrl,工作控制时钟Ck_ctrl同时连接到控制逻辑电路101、输入串行寄存器103、串/并转换电路104、并行寄存器组107和错误判决处理逻辑108的控制时钟输入端。

[0061] 所述控制逻辑电路101根据工作控制时钟Ck_ctrl和潜在错误信号Error_lat产生控制信号Ctrl和控制信号Ctrl1,控制信号Ctrl连接到第一缓冲器105的控制信号输入端,控制信号Ctrl1连接到参考数据输出电路102、输入串行寄存器103、串/并转换电路104、错误判决处理逻辑108和第二缓冲器106的控制信号输入端。控制信号Ctrl和控制信号Ctrl1除在综合控制逻辑电路4内部使用之外,还输出给本发明其他电路使用。

[0062] 所述第一缓冲器105在控制信号Ctrl的控制下,对输入驱动信号Din缓冲然后产生功率开关驱动信号Dout。所述参考数据输出电路102在控制信号Ctrl1的控制下产生N位参考数据Dref(N)。所述输入串行寄存器103在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下,依照时间先后次序依次接收退饱和量化信号Ddes并按照先入先出的顺序输出给串/并转换电路104。串/并转换电路104在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下,将串行输入的退饱和量化信号Ddes转换为并行输出的N位退饱和状态码Ds(N)。并行寄存器组107在工作控制时钟Ck_ctrl的控制下将依照时间先后次序输出的N位退饱和状态码Ds(N)转换为K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K。错误判决处理逻辑108在工作控制时钟Ck_ctrl和控制信号Ctrl1的控制下对K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat。预输出错误信号Error_pre连接到第二缓冲器106,第二缓冲器106在控制信号Ctrl1的控制下将预输出错误信号Error_pre缓冲驱动得到错误信号Error。潜在错误信号Error_lat输出给控制逻辑电路101,并最终调整控制信号Ctrl的状态。

[0063] 芯片上电后,综合控制逻辑电路4中计数器100首先开始工作,计数器100根据OSC信号输出工作控制时钟Ck_ctrl,同时输出到控制逻辑电路101、输入串行寄存器103、串/并转换电路104、并行寄存器组107和错误判决处理逻辑108。紧接着,控制逻辑电路101根据工作控制时钟Ck_ctrl产生控制信号Ctrl,并开启第一缓冲器105,第一缓冲器105根据输入驱动信号Din产生功率开关驱动信号Dout。经过一定的时间延迟,控制逻辑电路101将会产生控制信号Ctrl1,并开启参考数据输出电路102、输入串行寄存器103、串/并转换电路104、错误判决处理逻辑108和第二缓冲器106。然后,参考数据输出电路102产生N位参考数据Dref(N),输入串行寄存器103依照时间先后次序依次接收退饱和量化信号Ddes并按照先入先出的顺序输出给串/并转换电路104,串/并转换电路104将串行输入的退饱和量化信号Ddes转换为并行输出的N位退饱和状态码Ds(N),并行寄存器组107将依照时间先后次序输出的N位退饱和状态码Ds(N)转换为K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K,错误判决处理逻辑108对K组并行输出的N位退饱和状态码Ds(N)1~Ds(N)K和N位参考数据Dref(N)进行综合判决处理,得到预输出错误信号Error_pre和潜在错误信号Error_lat。控制逻辑电路

101根据潜在错误信号Error_lat的状态实时调整控制信号Ctrl的状态,从而控制所述外部接口电路1的工作并改变输入驱动信号Din的特性,最终改变功率开关驱动信号Dout和栅驱动信号G0的特性,实现对待驱动SiC MOSFET M100的短路保护功能。

[0064] 上述工作过程中,工作控制时钟Ck_ctrl通常为频率不高于OSC的时钟信号;产生控制信号Ctrl和产生控制信号Ctrl1的延迟时间,须大于工作控制时钟Ck_ctrl的正整数倍周期,具体时间长短可以根据应用场景设置。所述控制逻辑电路101的实现方式多种多样,最普通的实现方式为状态机控制实现。

[0065] 如图11所示为本发明错误判决处理逻辑108的一种实施例。该数字逻辑电路包括:粗数据加权电路111、细数据加权电路112、K个数据加权电路1101~110K、K个求和数据选择开关S1~SK、K-1个减法器1131~113K-1、K-1个求差数据选择开关SN1~SNK-1、第一数字比较器114和第二数字比较器115。

[0066] 所述粗数据加权电路111和细数据加权电路112根据N位参考数据Dref(N)分别产生数值较大的求和数据Cot00和数值较小的求和数据Cot01;Cot00连接到第一数字比较器114,Cot01连接到第二数字比较器115。

[0067] K个数据加权电路1101~110K分别根据K组N位退饱和状态码Ds(N)1~Ds(N)K中的每一组N位退饱和状态码,产生K个求和数据Cot1~CotK;K个求和数据Cot1~CotK分别连接到K个求和数据选择开关S1~SK的左端;K个求和数据选择开关S1~SK的右端全部连接在一起并连接到第一数字比较器114的第二比较输入端Cot_s。第一数字比较器114的第一比较输入端连接数值较大的求和数据Cot00。K组N位退饱和状态码Ds(N)1~Ds(N)K产生的K个求和数据Cot1~CotK中的任意两个相邻求和数据,通过K-1个减法器1131~113K-1进行求差处理,得到K-1个求差数据Not1~NotK-1;K-1个求差数据Not1~NotK-1分别连接到K-1个求差数据选择开关SN1~SNK-1的左端;K-1个求差数据选择开关SN1~SNK-1的右端全部连接在一起并连接到第二数字比较器115的第二比较输入端Cot_sn。第二数字比较器115的第一比较输入端连接数值较小的求和数据Cot01。第二数字比较器115将Cot_sn与求和数据Cot01比较,得到潜在错误信号Error_lat。第一数字比较器114将Cot_s与求和数据Cot00比较,得到预输出错误信号Error_pre。

[0068] 上述电路中,任意时间只能一个求和数据选择开关开启,其余K-1个求和数据选择开关不能同时开启;任意时间只能一个求差数据选择开关开启,其余K-2个求差数据选择开关不能同时开启。上述描述中, $N > 1, K > 2$ 。

[0069] 图11所示实施例的主要功能在于将K组N位退饱和状态码Ds(N)1~Ds(N)K的值与N位参考数据Dref(N)的值进行多种形式的比较处理,最终得到预输出错误信号Error_pre和潜在错误信号Error_lat。预输出错误信号Error_pre由N位参考数据Dref(N)经粗数据加权电路111产生的求和数据Cot00分别与K组N位退饱和状态码Ds(N)1~Ds(N)K产生的K个求和数据Cot1~CotK中的任意一个数据比较得到。若预输出错误信号Error_pre异常,则表示单位时间内饱和采样信号Vdesin电压上升斜率非常大;待驱动SiC MOSFET M100的漏极的电压信号Desat在持续升高且斜率超过警戒值,SiC MOSFET M100的状态重大异常。潜在错误信号Error_lat由N位参考数据Dref(N)经细数据加权电路111产生的求和数据Cot01分别与K-1个求差数据Not1~NotK-1中的任意一个数据比较得到。潜在错误信号Error_lat检测的是不同时间段之间饱和采样信号Vdesin电压上升斜率之间的差值,可以更细微的反应采样

信号 V_{desin} 电压变化情况,从而更精确的检测待驱动SiC MOSFET M100的漏极的电压信号 $Desat$ 的变化情况。

[0070] 重新回顾图3给出的波形,现有的 $Desat$ 保护技术,在时间点 t_4 之后通过固定的参考电压 V_r 与 V_{DS} 电压进行静态比较,当 V_{DS} 大于参考电压 V_r 时触发 $Desat$ 保护功能。该保护技术无法响应 V_{DS} 小于参考电压 V_r 的各种 V_{DS} 非正常电压波动和电流变化情况。本发明提出的技术方案,在 t_4 之后通过检测 V_{DS} 的电压变化斜率来判断 V_{DS} 电压的状态是否在安全区间,则可以动态监测 V_{DS} 的所有异常变化,可以大幅提高 $Desat$ 保护技术的精度,最终大幅提高了短路保护电路的保护精度。

[0071] 图12为本发明在高压半桥栅驱动芯片中的应用示意图。由于图4中本发明整体被标记为400,所以此处本发明在高侧和低侧分别作为半桥栅驱动芯片的子电路模块被标记为400H和400L。两路严格反相的逻辑控制信号输入到芯片INH和INL两个端口,经过高侧输入接收H和低侧输入接收L分别得到输入高侧信号 D_{ih} 和输入低侧信号 D_{il} 。输入高侧信号 D_{ih} 和输入低侧信号 D_{il} 进入死区时间产生电路,得到高侧输出开关控制信号 D_{ho} 和低侧输出开关控制信号 D_{lo} 。

[0072] 高侧输出开关控制信号 D_{ho} 进入低压转高压电平移位电路L-H,产生高侧输出信号 D_{hho} ,并经过400H电路,产生高侧栅驱动信号HG、浮动的电源BST、高侧 H_{Desat} 端口和浮动地SW。低侧输出开关控制信号 D_{lo} 进入延迟补偿电路,产生低侧输出信号 D_{llo} ,并经过400L电路,产生低侧栅驱动信号LG和低侧 L_{Desat} 端口。高侧栅驱动信号HG和低侧栅驱动信号LG分别驱动外部的高速功率开关器件SiC MOSFET的栅极。当高侧 H_{Desat} 端口电压异常时,400H电路输出 F_{lt_h} 信号经高压转低压电平移位电路H-L得到 F_{lt_hl} 信号经高侧缓冲输出H电路,最后输出高侧错误信号 $FLTH$ 。当低侧 L_{Desat} 端口电压异常时,400L电路输出 F_{lt_l} 信号经低侧缓冲输出L电路,最后输出低侧错误信号 $FLTL$ 。

[0073] 图13为本发明在半桥栅驱动芯片中的典型应用图,图中M1和M2为被驱动的IGBT或者SiC MOSFET器件,电阻R1和R2为IGBT器件的栅极限流电阻,电阻R3和R4为外接电阻,二极管D1和电容C1组成自举电路,实现高端电源BST和地电位GND的浮动。芯片在正常工作时,VCC电压为16V,VSS和GND为地电位,VH为高压母线电压。可以为系统中其他部分提供的直流偏置电压。当器件M1和M2中任意一个器件的电流异常时,FLTH和FLTL将会关闭器件M1和M2,同时FLTH和FLTL输出给芯片外部提供逻辑控制信号HIN和LIN(相当于本发明所述的输入脉冲驱动信号IN)的控制器,进行保护处理。

[0074] 上述系统的工作过程如下:在输入端,两路严格反相的逻辑控制信号HIN和LIN输入到芯片INH和INL两个端口。芯片的输出信号HG和LG与输入信号HIN和LIN的相位相反。当LG为高时,器件M2开启,SW电位被拉低,接近地电位,自举电路开始工作,使二极管D1正向导通,VCC通过二极管D1对电容C1进行充电,最终迫使BST电位为16V。当HG为高时,假设器件M1开启,SW电位被上拉至接近VH,由于电容两端的电位不能突变,BST电位上升到 $VH+16V$,此时二极管D1反相截止,电容C1处于放电状态。从上述工作过程可以看出自举电路的设计对高侧工作有很大的影响,其中电容C1的电容值过小会导致电容过充,过大会影响信号的驱动性能。电容C1两端需要维持16V的压差不变,故应该选择耐压大于16V的电容,容量一般为100nF左右。对于二极管D1的选择也需要特别考虑,当高侧功率器件M1开启时,二极管D1两端的电压差为VH,因此二极管D1的反向耐压应该大于VH;为了减小电容C1向VCC放电的电荷

量,二极管D1应该选择快恢复二极管。

[0075] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

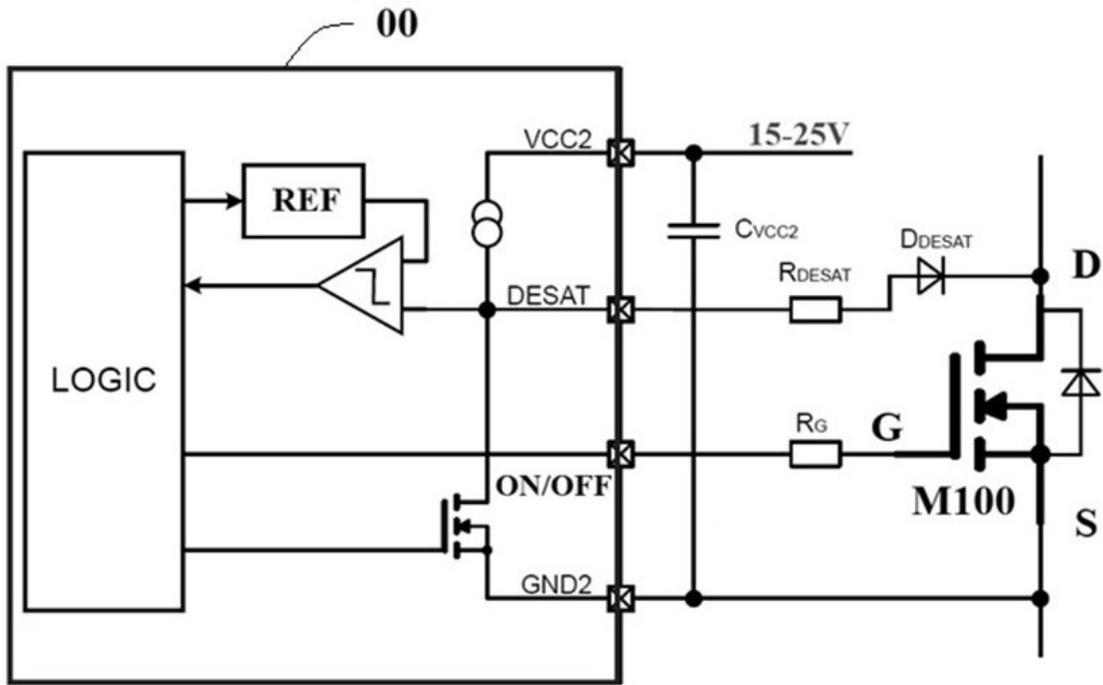


图1

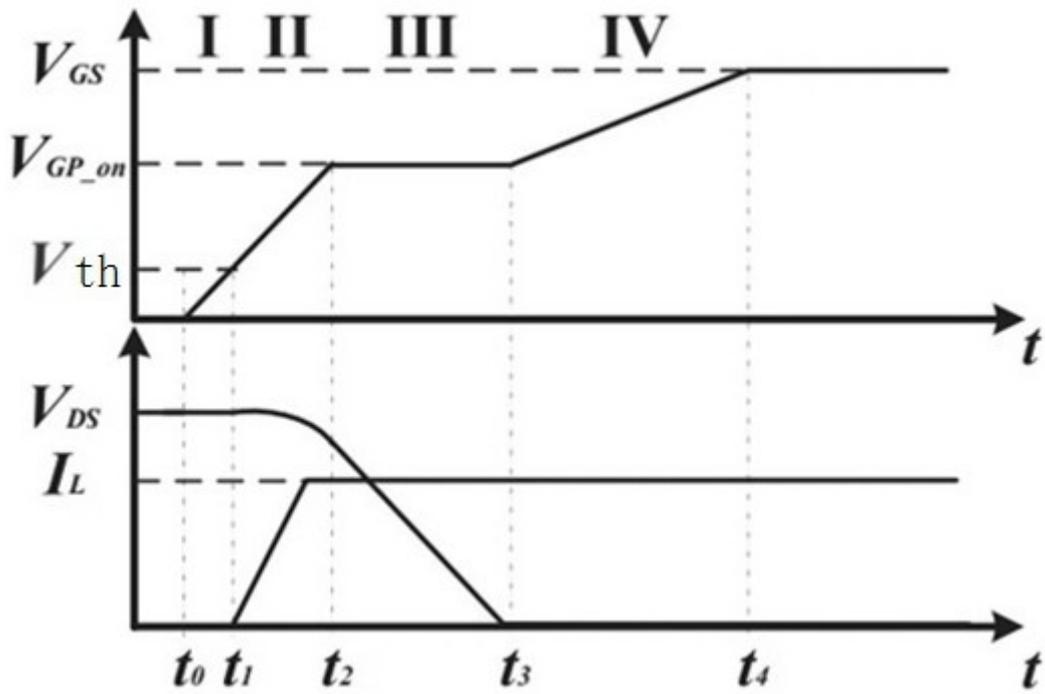


图2

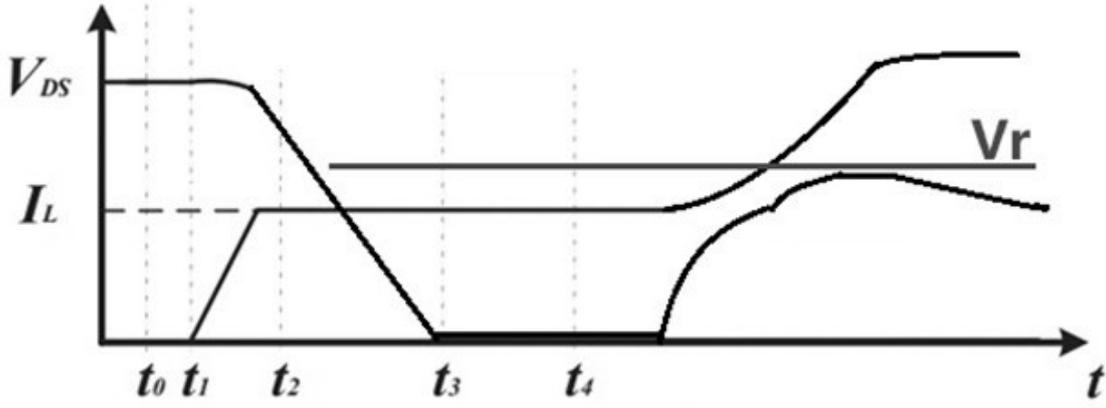


图3

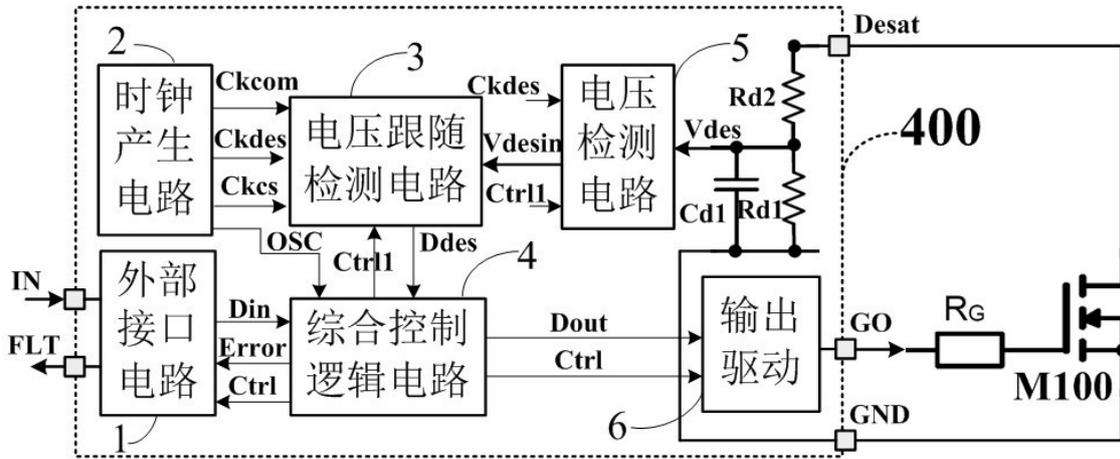


图4

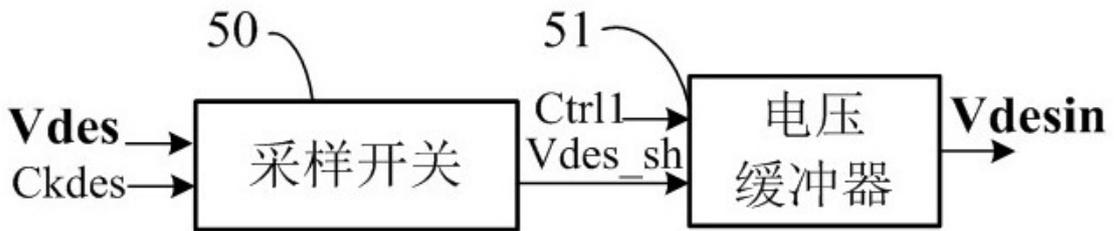


图5

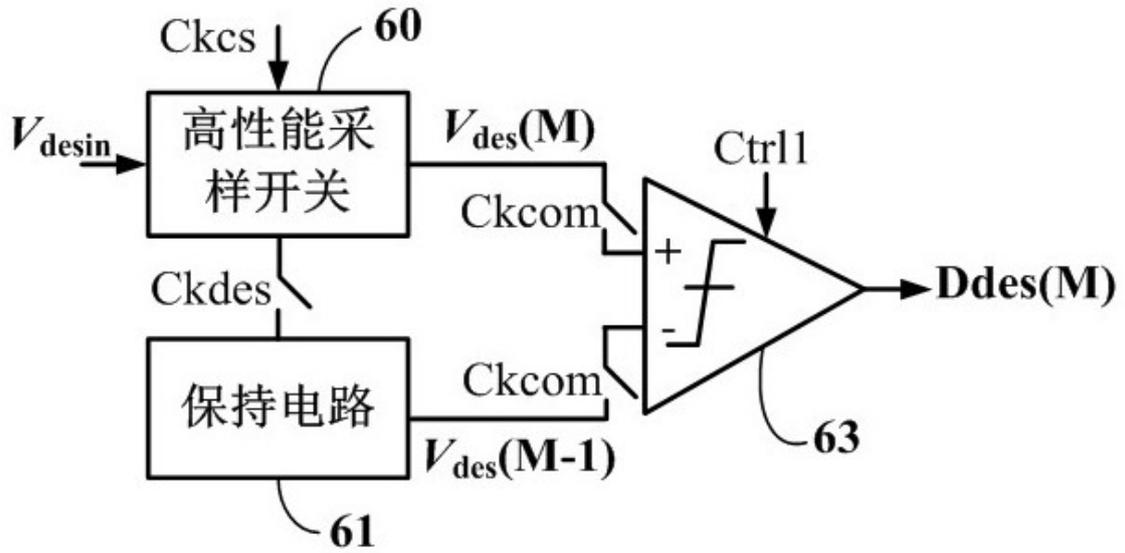


图6

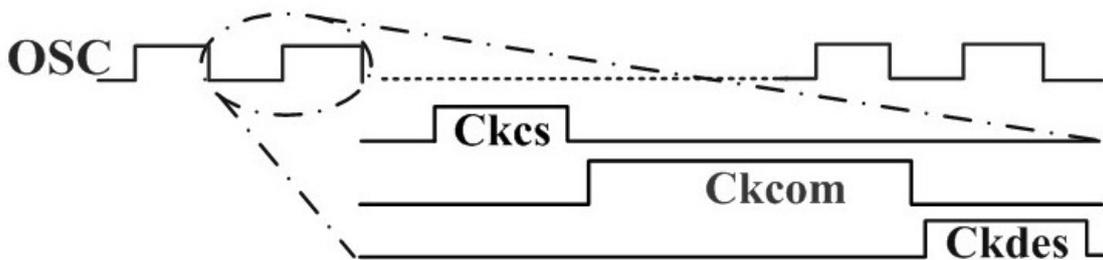


图7

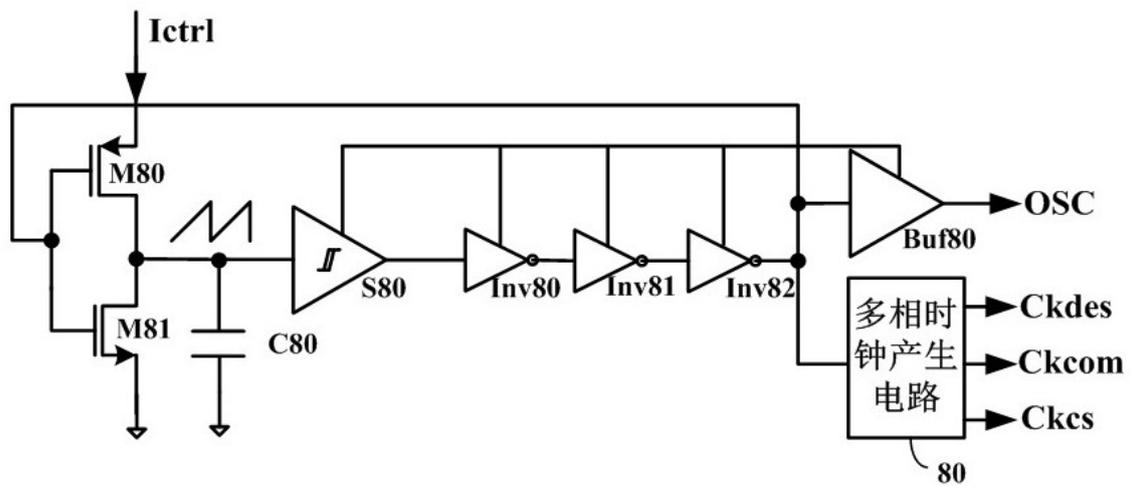


图8

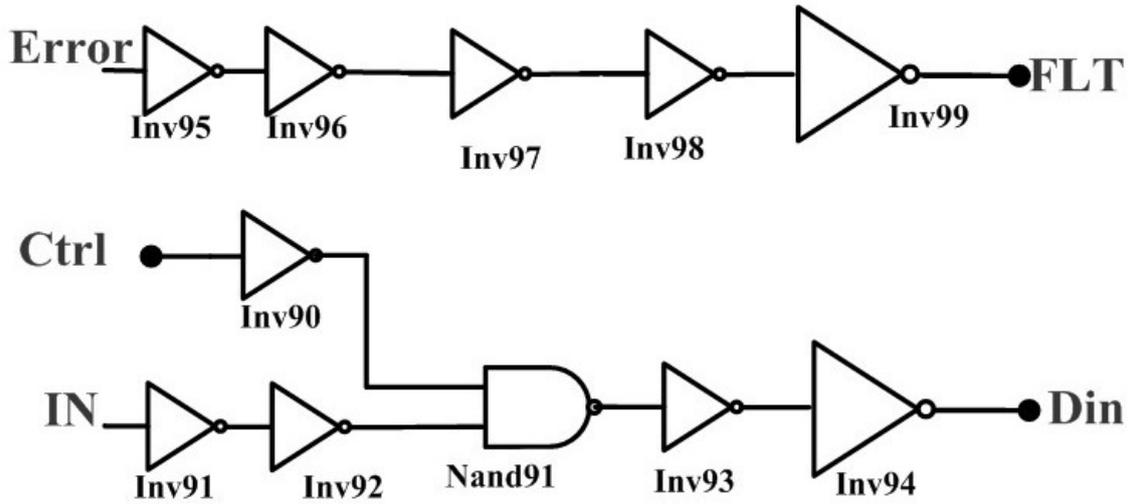


图9

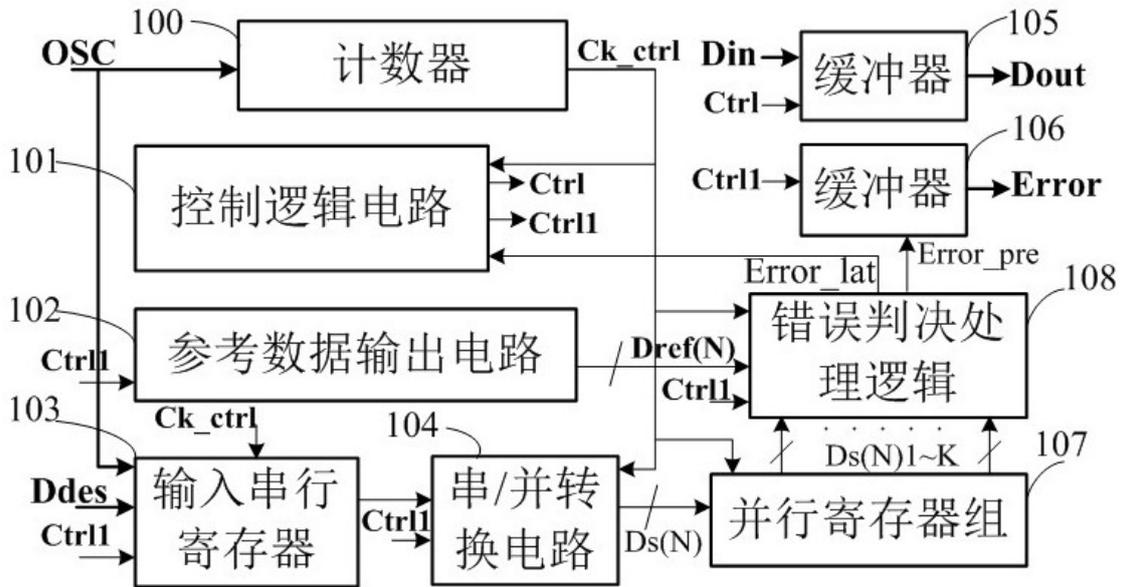


图10

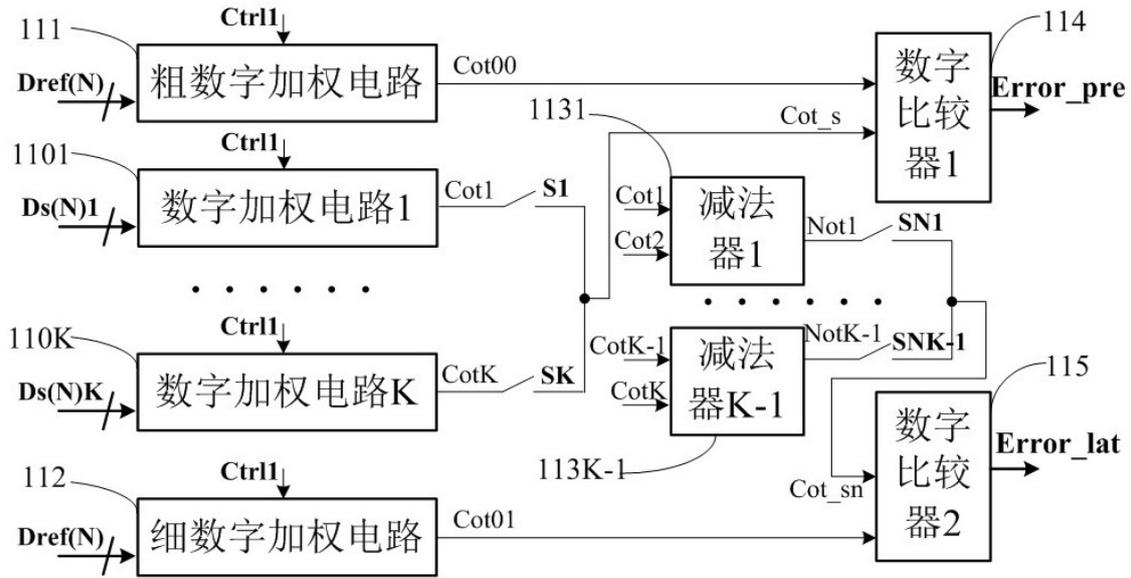


图11

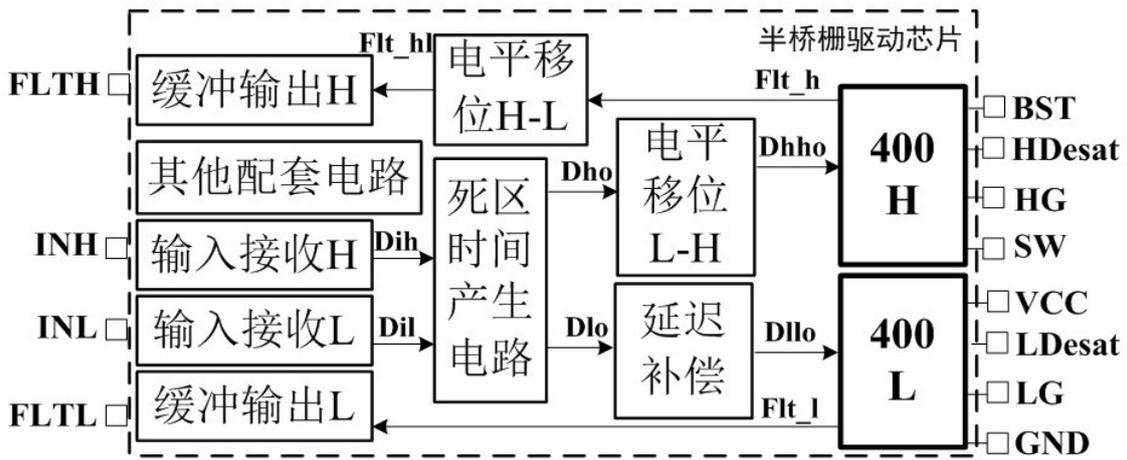


图12

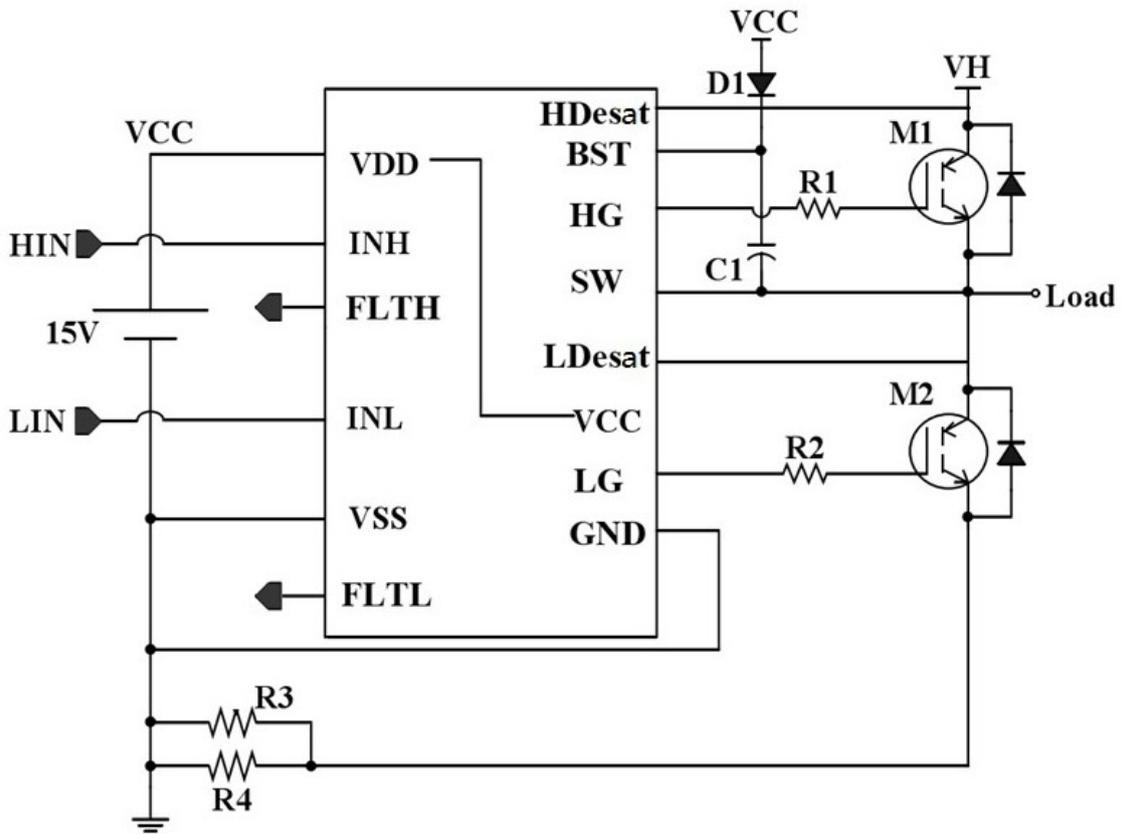


图13